

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2001 年 11 月 1 日 (01.11.2001)

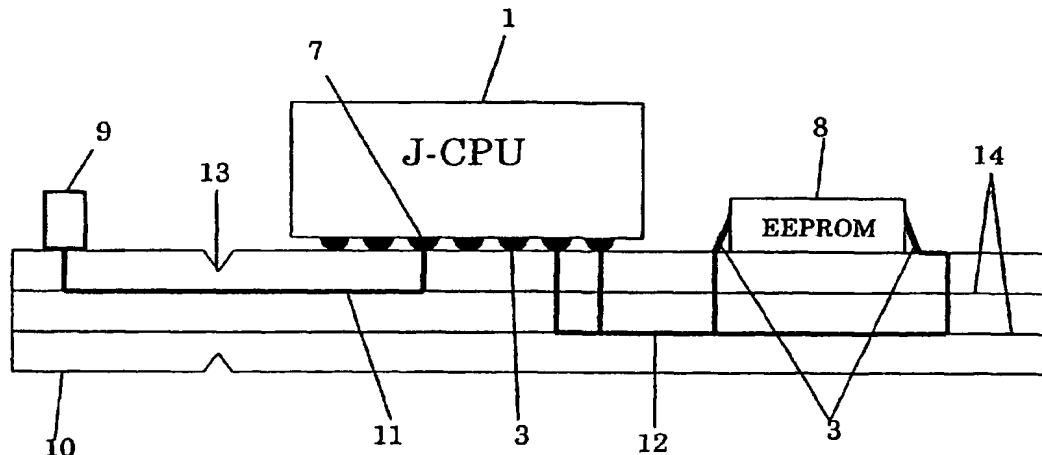
PCT

(10) 国際公開番号
WO 01/82062 A1

- (51) 国際特許分類: G06F 9/06, 1/00 (72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 岡部吉正 (OK-
(21) 国際出願番号: PCT/JP01/03376 ABE, Yoshimasa) [JP/JP]; 〒792-0872 愛媛県新居浜市
垣生 2 丁目 10-5 Ehime (JP). 大道光昭 (OMICHI, Mit-
(22) 国際出願日: 2001 年 4 月 19 日 (19.04.2001) suaki) [JP/JP]; 〒799-1301 愛媛県東予市三芳 1180-19
Ehime (JP).
(25) 国際出願の言語: 日本語 (74) 代理人: 東島隆治 (HIGASHIMA, Takaharu); 〒530-
0001 大阪府大阪市北区梅田 3 丁目 2-14 大弘ビル 東島
(26) 国際公開の言語: 日本語 特許事務所 Osaka (JP).
(30) 優先権データ: (81) 指定国 (国内): CN, ID, KR, SG, US.
特願 2000-124913 2000 年 4 月 25 日 (25.04.2000) JP
添付公開書類:
— 国際調査報告書
(71) 出願人 (米国を除く全ての指定国について): 松下電
器産業株式会社 (MATSUSHITA ELECTRIC INDUS-
TRIAL CO., LTD.) [JP/JP]; 〒571-8501 大阪府門真市
大字門真 1006 番地 Osaka (JP).
2 文字コード及び他の略語については、定期発行される
各 PCT ガゼットの巻頭に掲載されている「コードと略語
のガイダンスノート」を参照。

(54) Title: ELECTRONIC DEVICE AND PRODUCTION METHOD THEREFOR

(54) 発明の名称: 電子装置及びその製造方法



(57) Abstract: An electronic device capable of efficiently writing data into an EEPROM and providing the least possibility of data, stored in the EEPROM, of being rewritten on the market; and a production method therefor. The production method for the electronic device which has a substrate having a separable area and being provided with a central processing unit, an electrically rewritable, non-volatile storage element, and a connector in the area, and which directly controls the internal circuit of the central processing unit with the above area kept separated to prohibit data from being written into the storage element, the method being characterized by comprising a writing step of connecting an external device to the connector to directly control the internal logical circuit and writing data into the storage element, and the step of separating the area after the writing step.

[続葉有]



WO 01/82062 A1



(57) 要約:

EEPROMに効率良くデータを書き込むことが出来て、かつEEPROMに記憶されたデータが市場で書き換えられる恐れが非常に小さな電子装置及びその製造方法を実現する。切り離し可能な領域を有する基板であって、中央演算処理装置と、電氣的書き換え可能な不揮発性の記憶素子と、前記領域にコネクタとを備えた基板を有し、かつ前記領域を切り離した状態において前記中央演算処理装置の内部回路を直接制御して前記記憶素子にデータを書き込むことが出来ない電子装置の製造方法であって、前記コネクタに外部装置を接続して前記中央演算処理装置の内部論理回路を直接制御し、前記記憶素子にデータを書き込む書き込みステップと、前記書き込みステップの後に、前記領域を切り離す切り離しステップと、を有することを特徴とする電子装置の製造方法である。

明 細 書

電 子 装 置 及 び そ の 製 造 方 法

技 術 分 野

本発明は、IEEE std 1149.1-1990 Standard Test Access Port and Boundary-Scan Architecture規格等に対応する中央演算処理装置によって制御される電子装置に関するものであって、特に、記憶素子に格納しているデータ（中央演算処理装置の動作プログラム、暗号キー、及び顧客識別子（ユーザIDコード）等を含む。）の不正改造防止に関するものである。

背 景 技 術

現在、情報機器や家電機器をはじめとする電子装置の多くは、その制御の中心に中央演算処理装置（以下、CPUと言う）を用いているが、CPUを用いて電子装置を制御するためにはCPUを動作させるプログラムが必要不可欠である。CPUの種類によってはCPU内部にこのプログラムを格納できるものもあるが、主には電子装置の開発効率や製造効率及び保守の面でCPU外部に読み出し専用記憶素子（以下、ROMと言う）を設け、ROMにプログラムを格納している。

同様に、ROMに暗号キー（復号キーを含む。）又は顧客識別子等のデータを格納する場合もある。

ROMは不揮発性の記憶素子であって、特に記憶されている情報の書き換えが電気信号のみによって可能なもの（以下、EEPROMと言う。例えばフラッシュメモリ、及びELECTRICALLY ERASABLE AND PROGRAMMABLE ROM等を含む。）が主に用いられている。

「不揮発性の記憶素子」は、電源がなくても記憶の維持が可能な素子を意味する。

EEPROMにデータ（CPUのプログラム、並びに顧客識別子及び復号化鍵等のコード等を含む。）を格納しておけば容易にデータの書き換えが可能となり製造効率等が向上でき、また電子装置の保守目的でデータ（CPUのプログラム等を含む。）の書き換えができるという利点がある。反面、EEPROMの仕様は公になっているため、悪意の第三者によって不正にプログラムの改造を行うこともでき電子装置の製造者を始め社会に対し不利益を生ずる可能性がある。

特に、CPUがIEEE 1149規格に対応する素子である場合、外部装置を当該CPUに接続し、外部装置を通じてCPUの内部論理回路を直接制御してEEPROMのデータを書き換えることが出来る可能性がある。

IEEE 1149規格は、半導体装置（大規模集積回路装置及び中央演算装置を含む。）のテスト回路に關す

る規格である。I E E E 1 1 4 9 規格に対応する素子（半導体装置）は、素子単体のテスト又は素子を含む回路ブロックのテスト（主として、故障の有無の判断及び故障個所の特定のためのテスト）のために、5個のテスト入出力端子（テストアクセスポート）を有する。

素子等のテストをする際には、例えば、外部装置を素子のテスト入力端子に接続し、外部装置から前記テスト入力端子にテスト用の入力信号を入力し、前記入力信号又は前記入力信号を処理した信号を素子の出力端子（通常の出力端子又はテスト出力端子）から出力させる。出力された信号と期待された信号とを比較することにより、素子等の故障の有無及び故障個所を診断出来る。

又、I E E E 1 1 4 9 規格に対応するC P Uのテスト入出力端子に外部装置を接続し、外部装置を通じてC P Uの内部論理回路を直接制御してE E P R O Mにデータを書き込むことが出来る。

電子装置を製造する上で、この方法によるE E P R O Mへのデータ書き込み工程を導入することにより、市販されているP R O Mライターを使用してE E P R O Mにデータを書き込んでいた従来の方法よりも効率の良い電子装置の製造を実現できる。

しかし、これを悪用して、市場でI E E E 1 1 4 9 規格に対応するC P Uのテスト入出力端子に外部装置を接続し、外部装置を通じてC P Uの内部論理回路を直接制御してE E P R O Mにデータを書き換える不正な改造が

行われる恐れがある。

例えば、衛星放送等において顧客ごとに固有のデータを付与する場合があります、受信装置等は、当該固有のデータを内蔵するEEPROMに記憶することが出来る。固有のデータは、顧客識別子（個々の顧客ごとに付与する固有の識別コード、及び顧客が所有する受信装置ごとに付与する固有の識別コードを含む。）、復号鍵、及び暗証番号を含む。

CPUは、EEPROMに記憶した固有のデータ（例えば、顧客識別子）を用いて月々の視聴料を支払う。しかし、例えば、EEPROMに記録している固有のデータを他人の固有のデータに書き換えることにより、又はEEPROMに書き込まれているプログラムを書き換えることにより（例えば、実際の視聴時間と無関係に、視聴時間がゼロであると放送センターに連絡するプログラムを書き込む。）、視聴料の支払いを逃れようとする犯罪が発生する可能性がある。

そこで、このような犯罪を防止するために、EEPROMのデータ（CPUのプログラム等を含む。）の不正な改造（書き換え）を防止する手段が要望される。

EEPROMのデータの不正改造を防止する手段を有する従来の電子装置を図6を用いて説明する。

図6に示す電子装置の用途は任意であるが、例えば、衛星放送の受信装置、携帯電話等である。図6には、EEPROMへのデータの書き込み又は読み出しに関する

ブロックのみを記載する。

図 6 において、107 は電子装置を制御する CPU、8 は CPU のプログラム等のデータを格納している EEPROM、101 はプログラム書き換えのための外部装置（図示しない）を接続するための電気式あるいは光式のコネクタ、102 はコネクタ 101 から入力された信号を入力するインターフェイス部である。105 は、予め電子装置固有の暗証番号が記憶され、半田等で取り外しができないように実装され、かつ記憶データの書き換えが不可能な記憶素子（以下、パスワード ROM と言う）である。104 はコネクタ 101 及びインターフェイス部 102 を通して入力された暗証番号とパスワード ROM に記憶された暗証番号を照合比較し、一致した場合のみプログラム書き換え許可信号を出力する照合回路である。103 は EEPROM 8 の書き換え制御信号及びプログラムデータの通過を制御するゲート回路である。

つぎにプログラムを書き換える動作について説明する。EEPROM 8 に格納されたプログラムの書き換えが必要になった場合、コネクタ 101 にプログラム書き換え装置（外部装置）を接続する。プログラム書き換え装置には暗証番号と新しいプログラム及び EEPROM を書き換えるために必要な制御命令が格納されている。まずプログラム書き換え装置よりプログラム書き換え開始命令が入力され、この命令によって CPU 107 等は通常の動作を停止し EEPROM 8 の記憶データの書き換え

が可能な状態になる。

つぎに照合回路104はインターフェイス部102を介してプログラム書き換え装置より入力された暗証番号と、パスワードROM105から読み出した暗証番号を照合する。この2つの暗証番号が完全に一致した場合に限り照合回路104はゲート回路103に対しプログラム書き換え許可信号を出力する。ゲート回路103はプログラム書き換え許可信号に従い、インターフェイス部102を介して入力されるEEPROM8の書き換え制御信号及びプログラムデータを通過させる。EEPROM8のプログラムの書き換えが行われる。プログラム書き換え動作が完了すると、プログラム書き換え装置はインターフェイス部102を介してCPU107に対して書き換え完了命令を出力する。CPU107はこの命令によって電子装置の初期化を実行した後、EEPROM8に格納された新たなプログラムに従い電子装置の制御を開始する。

しかしながら近年、IEEE std 1149.1-1990 Standard Test Access Port and Boundary-Scan Architecture規格（以下、通称名称のJTAG規格と言う）対応のCPUが使われるようになってきている。CPUがJTAG規格対応素子であった場合、外部から直接CPUの内部論理回路を制御し、CPUを介してEEPROM8に格納されたプログラムを改造す

ることが可能であるために、従来のプログラム不正改造防止システムでは改造防止が不十分である。

JTAG対応素子のCPUを用いたシステムとJTAG対応素子の構造を図7と図8を用いて簡単に説明する。

図8はJTAG規格対応素子の構造を示す図であって、1はJTAG規格対応のCPU（以下、従来のCPUと区別するためにJ-CPUと言う）、2は素子本来の動作をつかさどる内部論理回路、3は通常の動作のための端子（一般的には、他の素子の端子等と接続される。）である。TDI（テストデータ入力ピン）、TMS（テストモード選択ピン）、TCK（テストクロック）、TDO（テストデータ出力ピン）及びTRST（パワーオン時のリセットピン）からなる端子7はTest Access Port（以下、TAPと言う）と呼ばれるJTAG規格に基づくテスト端子である（TRSTはオプションである。）。TAPは、外部装置とテスト回路を接続するためのインターフェイスである。

JTAG規格対応素子は内部にバイパスレジスタ及び命令レジスタ等からなるJTAGレジスタ5（オプションとして、内部スキャンレジスタ及びIDCODEレジスタを含むことが出来る。）と、JTAGレジスタ5を制御するTAPコントローラ6、及び各端子3と内部論理回路2の間に配置されたシフトレジスタであるセル4を備えている。

セル4は、内部論理回路2の出力データ（J-CPU

1 の入力端子 3 を含む。) 又は隣接するセル 4 から伝送されるテストデータを選択的に入力する。又、セル 4 の出力データは、内部論理回路 2 (J-CPU 1 の出力端子 3 を含む。) 又は隣接するセル 4 に伝送される。

通常の動作時には (テストモードでないとき)、J-CPU 1 の入力端子 3 から入力された入力データは各セル 4 を通過してそのまま内部論理回路 2 に伝送され、内部論理回路 2 の出力データは、各セル 4 を通過してそのまま J-CPU 1 の出力端子 3 から出力される。

テストモードにおいては、入力端子から入力された入力データに代えて、TAP 7 から入力した信号をセル 4 を通じて内部論理回路 2 に伝送することが出来る。又、内部論理回路 2 の出力データに代えて、TAP 7 から入力した信号をセル 4 を通じて出力端子 3 から出力することが出来る。

TAP コントローラ 6 は、TMS 端子から入力される入力シーケンスに従ってテスト回路全体の種々の動作を制御する。

JTAG 規格対応の素子は TAP 7 に接続した外部装置によってセル 4 を通過する各信号 (端子 3 の各入出力信号) を監視したり、任意のデータを内部論理回路 2 に入力することができる。

例えば、外部装置から伝送されたテスト入力データを TDI 端子に入力し、複数のセル 4 により構成されるシリアルシフトレジスタを直列駆動する (クロック信号は

T C K 端子に入力する。)。これにより、テスト入力データは各セル 4 に送られる。次に、各セル 4 の出力データを内部論理回路 2 (J - C P U 1 の出力端子 3 を含む。) に出力する。以上のようにテスト入力データを内部論理回路 2 (J - C P U 1 の出力端子 3 を含む。) に直接入力することが出来る。

同様に、内部論理回路 2 の出力データ (J - C P U 1 の入力端子 3 を含む。) をセル 4 にラッチして、複数のセル 4 により構成されるシリアルシフトレジスタを直列駆動し、T D O 端子から前記出力データを出力することが出来る。

つまり J - C P U 1 は外部装置を接続して最大 5 本の信号線を制御することにより、外部装置から直接 J - C P U 1 の内部論理回路 2 を制御することが可能となる。これにより、J - C P U 1 等の素子又は電子装置のテストが容易になるという利点がある。

図 7 は J - C P U 1 を用いた電子装置のシステムを示す図であり、図 7 において 9 は J - C P U 1 の T A P 7 を外部装置と接続するための J T A G コネクタ、1 0 8 は R A M (電子装置を動作させるために一時的に記憶する必要があるデータ等を記憶する読み書き可能な記憶素子)、1 1 0 は J - C P U と E E P R O M 8 や R A M 1 0 8 等を接続する信号母線 (以下、バスと言う) である。バス 1 1 0 には 1 0 9 で示す E E P R O M 8 や R A M 1 0 8 以外の素子も複数接続することが可能である。また、

実際の回路は他にも多数の電子部品を含むが、記載を省略している。

J-CPUを有する従来の電子装置は、J-CPUにJTAGデバツカと呼ばれる外部装置を接続することで外部よりJ-CPUの内部論理回路を直接制御でき、プログラム等のデータが格納されているEEPROMを含む全素子にアクセスできるため、開発効率の向上や製造段階での検査及びプログラムの書込み時間の短縮を図ることが出来るという利点があった。

しかしその反面、このJTAGデバツカを使用して第三者が不正に従来の電子装置のEEPROMのデータを書き換えることが出来るという問題があった。

本発明は、効率の良い電子装置の製造方法を実現し、かつ製造された電子装置のEEPROMに記憶されたデータが市場で書き換えられる恐れが非常に小さな電子装置の製造方法を実現することを目的とする。

又、本発明は、効率の良い製造が可能な電子装置を実現し、かつEEPROMのデータを市場で書き換えられる恐れが非常に小さな電子装置を実現することを目的とする。

発明の開示

本発明の請求項1に記載の発明は、切り離し可能な領域を有する基板であって、中央演算処理装置と、電氣的書き換え可能な不揮発性の記憶素子と、前記領域に取り

付けられたコネクタとを備えた基板を有し、かつ前記領域を切り離した状態において前記中央演算処理装置の内部回路を直接制御して前記記憶素子にデータを書き込むことが出来ない電子装置の製造方法であって、前記コネクタに外部装置を接続して前記中央演算処理装置の内部論理回路を直接制御し、前記記憶素子にデータを書き込む書き込みステップと、前記書き込みステップの後に、前記領域を前記基板から切り離す切り離しステップと、を有することを特徴とする電子装置の製造方法である。

本発明の電子装置の製造方法は、外部装置（例えば JTAG デバッガ）によって CPU の内部論理回路を直接制御して効率よく EEPROM にデータ（プログラム等を含む。）を書き込み、その後、コネクタを含む領域を切り離す。

本発明により、工場で電子装置を製造する時には、JTAG デバッガ等の外部装置を使用して CPU（例えば J-CPU）の内部回路を直接制御して、効率よく EEPROM にデータ（プログラム等を含む。）を書き込むことが出来、又故障個所の検出等を迅速かつ的確に行うことが出来る。EEPROM へのデータの書き込みを完了後、コネクタを含む領域を切り離すことにより、市場で第 3 者が電子装置に JTAG デバッガ等の外部装置を接続し、不正に内部の EEPROM のデータを書き換えることを出来なくする。

例えば基板上の抵抗素子を取り外すことにより EEP

R O M への書き込みを出来なくする方法も考えられるが、もし第 3 者がこのことを知れば、代わりの抵抗素子を半田付けすることにより容易に E E P R O M への書き込みを可能に出来るという問題がある。これに対して、基板の領域を切り離してあることを第 3 者が知っても実際に修復して E E P R O M への書き込みを可能にすることは極めて困難である。

本発明は、効率の良い電子装置の製造方法を実現し、かつ製造された電子装置の E E P R O M に記憶されたデータが市場で書き換えられる恐れが非常に小さな電子装置の製造方法を実現するという作用を有する。

「電子装置」の種類、用途等は任意である。例えば、衛星放送等種々の放送の受信機、及び携帯電話等の家庭用の電子機器の他、コピー機等の業務用の電子機器も含む。

「切り離し可能な領域」とは、任意の方法により基板から分離可能な領域の意味である。例えば、基板の一面又は両面に V 字型の溝を掘り、外部から力を加えることにより当該溝のところで当該領域を切り離すことが出来る基板である。又、例えば、切り離す領域の境界線に沿って多くの貫通穴等を設け、境界線に沿って当該領域を切り離すことが出来る基板である。

又、例えば、シアにより切り離し可能な領域を境界線に沿って切断することも含む。この場合は、境界線上に部品がないこと、境界線に沿って切断した後にも、前記

基板が正常に動作すること等が、「切り離し可能」である条件である。

「中央演算処理装置の内部回路を直接制御して」とは、CPUを通常のプログラム（ソフトウェア）動作以外の方法で制御することを意味する。例えば、JTAG規格に対応するJ-CPUをTAPを通じて直接制御することである。

又、スキャンデザイン回路を具備するCPUを、当該スキャンデザイン回路を通じて直接制御することを含む。

又、クロスチェック回路をを具備するCPUを、当該クロスチェック回路（プローブ線ドライバ及びセンス線レシーバ）を通じて直接制御することを含む。

例えば、通常のソフトウェアにより動作しているCPUと外部装置との間でハンドシェイク等の方法によりデータを伝送する方法は、含まれない。

「前記領域を切り離した状態において前記中央演算処理装置の内部回路を直接制御して前記記憶素子にデータを書き込むことが出来ない」とは、例えば、切り離されたコネクタ以外のコネクタを利用することによって、中央演算処理装置の内部回路を直接制御することが出来ないことを含む。

「データ」は、中央演算処理装置の動作プログラム、暗号キー、顧客識別子（ユーザIDコード）、及び暗証番号等を含む。

本発明の請求項4に記載の発明は、切り離し可能な領

域を有する基板であって、中央演算処理装置と、電氣的書き換え可能な不揮発性の記憶素子と、コネクタと、少なくとも1本の前記コネクタの端子と少なくとも1本の前記中央演算処理装置の端子とを接続する中継装置と、前記領域が切り離されているか否かを検出する検出装置とを備えた基板を有し、かつ前記領域を切り離した状態において、前記検出装置の出力信号に基づいて前記中継装置が前記コネクタの端子と前記中央演算処理装置の端子とを接続する少なくとも1本の接続線を遮断している故に前記中央演算処理装置の内部回路を直接制御して前記記憶素子にデータを書き込むことが出来ない電子装置の製造方法であって、前記コネクタに外部装置を接続して前記中央演算処理装置の内部論理回路を直接制御し、前記記憶素子にデータを書き込む書き込みステップと、前記書き込みステップの後に、前記領域を切り離す切り離しステップと、を有することを特徴とする電子装置の製造方法である。

本発明の電子装置の製造方法は、外部装置（例えば JTAG デバッカ）によって CPU の内部論理回路を直接制御して効率よく EEPROM にデータ（プログラム等を含む。）を書き込み、その後、領域を切り離す。

本発明により、工場で電子装置を製造する時には、JTAG デバッカ等の外部装置を使用して CPU（例えば J-CPU）の内部回路を直接制御して、効率よく EEPROM にデータ（プログラム等を含む。）を書き込む

ことが出来、又故障個所の検出等を迅速かつ的確に行うことが出来る。EEPROMへのデータの書き込みを完了後、前記領域を切り離すことにより、市場で第3者が電子装置にJTAGデバッガ等の外部装置を接続し、不正に内部のEEPROMのデータを書き換えることを出来なくする。

基板の領域を切り離してあることを第3者が知っても実際に修復してEEPROMへの書き込みを可能にすることは極めて困難である。

本発明は、効率の良い電子装置の製造方法を実現し、かつ製造された電子装置のEEPROMに記憶されたデータが市場で書き換えられる恐れが非常に小さな電子装置の製造方法を実現するという作用を有する。

中継装置は、例えばJTAG対応のCPUのTDI端子とコネクタの端子とを接続する接続線を遮断している故に、JTAGデバッガ等の外部装置をコネクタに接続し、前記中央演算処理装置の内部回路を直接制御して前記記憶素子にデータを書き込むことが出来ない。

本発明の請求項6に記載の発明は、切り離し可能な領域を有する基板であって、中央演算処理装置と、電氣的書き換え可能な不揮発性の記憶素子と、コネクタと、少なくとも1本の前記コネクタの端子と少なくとも1本の前記中央演算処理装置の端子とを接続する中継装置と、スクランブル装置と、前記領域が切り離されているか否かを検出する検出装置とを備えた基板を有し、かつ、前

記領域を切り離していない状態において、前記記憶素子から読み出したデータを前記スクランブル装置によってデスクランブルし、デスクランブルしたデータを前記中央演算処理装置に伝送することが出来るとともに、前記コネクタに外部装置を接続することによって前記中央演算処理装置の内部論理回路を直接制御して前記中央演算処理装置から前記スクランブル装置にデータを出力し、前記スクランブル装置は前記中央演算処理装置の出カデータをスクランブルし、スクランブルしたデータを前記記憶素子に書き込むことが出来、前記領域を切り離した状態において、前記記憶素子から読み出したデータを前記スクランブル装置によってデスクランブルし、デスクランブルしたデータを前記中央演算処理装置に伝送することが出来るとともに、前記検出装置の出力信号に基づいて、前記スクランブル装置が前記記憶素子にデータを書き込むことが出来ない、電子装置の製造方法であって、前記コネクタに前記外部装置を接続することによって前記中央演算処理装置の内部論理回路を直接制御して前記中央演算処理装置から前記スクランブル装置にデータを出力し、前記スクランブル装置は前記中央演算処理装置の出カデータをスクランブルし、スクランブルしたデータを前記記憶素子に書き込む書き込みステップと、前記書き込みステップの後に、前記領域を切り離す切り離しステップと、を有する、ことを特徴とする電子装置の製造方法である。

本発明の電子装置の製造方法は、外部装置（例えば JTAG デバッカ）によって CPU の内部論理回路を直接制御して効率よく EEPROM にデータ（プログラム等を含む。）を書き込み、その後、領域を切り離すことにより、EEPROM の書き換えを出来なくする。

本発明により、工場で電子装置を製造する時には、JTAG デバッカ等の外部装置を使用して CPU（例えば J-CPU）の内部回路を直接制御して、効率よく EEPROM にデータ（プログラム等を含む。）を書き込むことが出来、又故障個所の検出等を迅速かつ的確に行うことが出来る。EEPROM へのデータの書き込みを完了後、領域を切り離すことにより、市場で第 3 者が電子装置に JTAG デバッカ等の外部装置を接続し、不正に内部の EEPROM のデータを書き換えることを出来なくする。

基板の領域を切り離してあることを第 3 者が知っても実際に修復して EEPROM への書き込みを可能にすることは極めて困難である。

第 3 者はスクランブルの方法が分からないため、EEPROM を取り外して、PROM ライター等を使用してデータを書き換える方法によって、電子装置を不法に改造することが出来ない。

本発明は、効率の良い電子装置の製造方法を実現し、かつ製造された電子装置の EEPROM に記憶されたデータが市場で書き換えられる恐れが非常に小さな電子装

置の製造方法を実現するという作用を有する。

「記憶素子にデータを書き込むことが出来ない」ようにする方法は任意である。例えば、J-CPUとEEPROMとを接続する線を遮断する。全ての線を遮断してもよく、又は例えばライトストロープ信号の線だけを遮断してもよい。又、EEPROMのチップセレクト端子をディスエーブルにしてもよい。

本発明の請求項10に記載の発明は、切り離し可能な領域を有する基板であって、中央演算処理装置と、電氣的書き換え可能な不揮発性の記憶素子と、コネクタと、スクランブル装置と、前記領域が切り離されているか否かを検出する検出装置とを備えた基板を有し、かつ、前記領域を切り離していない状態において、前記記憶素子から読み出したデータを前記スクランブル装置によって第1のスクランブルパターンでデスクランブルし、デスクランブルしたデータを前記中央演算処理装置に伝送することが出来るとともに、前記コネクタに外部装置を接続することによって前記中央演算処理装置の内部論理回路を直接制御して前記中央演算処理装置から前記スクランブル装置にデータを出力し、前記スクランブル装置は前記中央演算処理装置の出力データを第1のスクランブルパターンでスクランブルし、スクランブルしたデータを前記記憶素子に書き込むことが出来、前記領域を切り離した状態において、前記検出装置の出力信号に基づいて、前記記憶素子から読み出したデータを前記スクラン

ブル装置によって第1のスクランブルパターンでデスクランブルし、デスクランブルしたデータを前記中央演算処理装置に伝送することが出来るとともに、前記コネクタに前記外部装置を接続することによって前記中央演算処理装置の内部論理回路を直接制御して前記中央演算処理装置から前記スクランブル装置にデータを出力し、前記スクランブル装置は前記中央演算処理装置の出カデータを第2のスクランブルパターンでスクランブルし、スクランブルしたデータを前記記憶素子に書き込むことが出来る、電子装置の製造方法であって、前記コネクタに前記外部装置を接続することによって前記中央演算処理装置の内部論理回路を直接制御して前記中央演算処理装置から前記スクランブル装置にデータを出力し、前記スクランブル装置は前記中央演算処理装置の出カデータを第1のスクランブルパターンでスクランブルし、スクランブルしたデータを前記記憶素子に書き込む書き込みステップと、前記書き込みステップの後に、前記領域を切り離す切り離しステップと、を有する、ことを特徴とする電子装置の製造方法である。

本発明の電子装置の製造方法は、外部装置（例えばJTAGデバツカ）によってCPUの内部論理回路を直接制御して効率よくEEPROMにデータ（プログラム等を含む。）を書き込み、その後、領域を切り離すことにより、EEPROMの書き換えを困難にする。

本発明により、工場で電子装置を製造する時には、J

T A G デバッガ等の外部装置を使用してC P U（例えばJ - C P U）の内部回路を直接制御して、効率よくE E P R O Mにデータ（プログラム等を含む。）を第1のスクランブルパターンでスクランブルして書き込むことが出来、又故障個所の検出等を迅速かつ的確に行うことが出来る。E E P R O Mへのデータの書き込みを完了後、領域を切り離すことにより、市場で第3者が電子装置にJ T A G デバッガ等の外部装置を接続し、不正に内部のE E P R O Mのデータを書き換えることを困難にする。

基板の領域を切り離してあることを第3者が知っても実際に修復してE E P R O Mへの書き込みを可能にすることは極めて困難である。

第3者は第1のスクランブルパターンを知らないため、E E P R O Mを基板から外して、P R O Mライター等を用いて直接データをE E P R O Mに書き込むことが出来ない。

第3者が市場にある製品に外部装置を接続することによって前記中央演算処理装置の内部論理回路を直接制御し、外部装置から入力したデータを記憶素子に書き込んだ場合にも、前記スクランブル装置は前記中央演算処理装置の出力データを第2のスクランブルパターンでスクランブルし、スクランブルしたデータを前記記憶素子に書き込む。当該スクランブル装置は記憶素子からデータを読み出して第1のスクランブルパターンでデスクランブルするため、不正書き換えしたデータにより電子装置

は動作しない。

好ましくは、秘密の操作を行うことにより（例えば、第2の領域を基板から切り離すこと、又は特定の抵抗素子を外すこと等）、スクランブル装置が第2のスクランブルパターンによりデスクランブルするようになる。

何らかの理由によりEEPROMのデータを書き換える必要が発生した場合に、製品に外部装置を接続することによって前記中央演算処理装置の内部論理回路を直接制御し、外部装置から入力したデータを記憶素子に書き込むことが出来る。データは第2のスクランブルパターンでスクランブルされて記憶素子に書き込まれるが、秘密の操作を行うことにより、スクランブル装置が第2のスクランブルパターンによりデスクランブルするようになり、電子装置は正常に動作する。

本発明は、効率の良い電子装置の製造方法を実現し、かつ製造された電子装置のEEPROMに記憶されたデータが市場で書き換えられる恐れが非常に小さい電子装置の製造方法を実現するという作用を有する。

又、本発明は、製造された電子装置のEEPROMに記憶されたデータを後で書き換えることが出来る電子装置の製造方法を実現するという作用を有する。

本発明の請求項19に記載の発明は、前記中央演算処理装置はIEEE1149規格に対応した素子である、ことを特徴とする請求項1から請求項18のいずれかの請求項に記載の電子装置の製造方法である。

I E E E 1 1 4 9 規格に対応した素子は、外部装置を T A P に接続することにより、C P U の内部論理回路を直接制御することが出来る。

本発明は、I E E E 1 1 4 9 規格に対応した回路を利用して効率良くデータを E E P R O M に記録し、効率の良い電子装置の製造方法を実現するとともに、製造された電子装置の E E P R O M に記憶されたデータが市場で書き換えられる恐れが非常に小さな電子装置の製造方法を実現するという作用を有する。

I E E E 1 1 4 9 規格とは、I E E E s t d 1 1 4 9 . 1 - 1 9 9 0 S t a n d a r d T e s t A c c e s s P o r t a n d B o u n d a r y - S c a n A r c h i t e c t u r e 及びその改訂規格（将来の改訂を含む。）を意味する。

本発明の請求項 2 0 に記載の発明は、切り離し可能な領域を有する基板であって、中央演算処理装置と、電氣的書き換え可能な不揮発性の記憶素子と、前記領域にコネクタとを備えた基板を有する電子装置であって、前記領域を切り離していない状態において、前記コネクタに外部装置を接続することによって前記中央演算処理装置の内部論理回路を直接制御し、前記記憶素子にデータを書き込むことが出来、かつ前記領域を切り離した状態において、前記中央演算処理装置を制御して前記記憶素子にデータを書き込むことが出来ないようにした、ことを特徴とする電子装置である。

本発明の電子装置は、外部装置（例えば J T A G デバッカ）によって C P U の内部論理回路を直接制御して効率よく E E P R O M にデータ（プログラム等を含む。）を書き込むことが出来、かつその後コネクタを含む領域を切り離すことにより、E E P R O M のデータの書き換えを防止できる電子装置である。

本発明により、工場で電子装置を製造する時には、J T A G デバッカ等の外部装置を使用して C P U （例えば J - C P U ）の内部回路を直接制御して、効率よく E E P R O M にデータ（プログラム等を含む。）を書き込むことが出来、又故障個所の検出等を迅速かつ的確に行うことが出来る。E E P R O M へのデータの書き込みを完了後、コネクタを含む領域を切り離すことにより、市場で第 3 者が電子装置に J T A G デバッカ等の外部装置を接続し、不正に内部の E E P R O M のデータを書き換えることを出来なくする。

基板の領域を切り離してあることを第 3 者が知っても実際に修復して E E P R O M への書き込みを可能にすることは極めて困難である。

本発明は、効率の良い製造が可能な電子装置を実現し、かつ E E P R O M に記憶されたデータが市場で書き換えられる恐れが非常に小さな電子装置を実現するという作用を有する。

本発明の請求項 2 1 に記載の発明は、切り離し可能な領域を有する基板であって、中央演算処理装置と、電気

的書き換え可能な不揮発性の記憶素子と、コネクタと、少なくとも1本の前記コネクタの端子と少なくとも1本の前記中央演算処理装置の端子とを接続する中継装置と、前記領域が切り離されているか否かを検出する検出装置とを備えた基板を有する電子装置であって、前記領域を切り離していない状態において、前記コネクタに外部装置を接続することによって前記中央演算処理装置の内部論理回路を直接制御し、前記記憶素子にデータを書き込むことが出来、かつ前記領域を切り離した状態において、前記検出装置の出力信号に基づいて前記中継装置は前記コネクタの端子と前記中央演算処理装置の端子とを接続する少なくとも1本の接続を遮断している故に前記中央演算処理装置の内部回路を直接制御して前記記憶素子にデータを書き込むことが出来ないようにした、ことを特徴とする電子装置である。

本発明の電子装置は、外部装置（例えばJTAGデバッカ）によってCPUの内部論理回路を直接制御して効率よくEEPROMにデータ（プログラム等を含む。）を書き込むことが出来、かつその後領域を切り離すことにより、EEPROMのデータの書き換えを防止できる電子装置である。

本発明により、工場で電子装置を製造する時には、JTAGデバッガ等の外部装置を使用してCPU（例えばJ-CPU）の内部回路を直接制御して、効率よくEEPROMにデータ（プログラム等を含む。）を書き込む

ことが出来、又故障個所の検出等を迅速かつ的確に行うことが出来る。EEPROMへのデータの書き込みを完了後、前記領域を切り離すことにより、市場で第3者が電子装置にJTAGデバugg等の外部装置を接続し、不正に内部のEEPROMのデータを書き換えることを出来なくすることが出来る。

基板の領域を切り離してあることを第3者が知っても実際に修復してEEPROMへの書き込みを可能にすることは極めて困難である。

本発明は、効率の良い製造が可能な電子装置を実現し、かつEEPROMに記憶されたデータが市場で書き換えられる恐れが非常に小さな電子装置を実現するという作用を有する。

本発明の請求項22に記載の発明は、切り離し可能な領域を有する基板であって、中央演算処理装置と、電気的書き換え可能な不揮発性の記憶素子と、コネクタと、少なくとも1本の前記コネクタの端子と少なくとも1本の前記中央演算処理装置の端子とを接続する中継装置と、スクランブル装置と、前記領域が切り離されているか否かを検出する検出装置とを備えた基板を有する電子装置であって、前記領域を切り離していない状態において、前記記憶素子から読み出したデータを前記スクランブル装置によってデスクランブルし、デスクランブルしたデータを前記中央演算処理装置に伝送することが出来るとともに、前記コネクタに外部装置を接続することによっ

て前記中央演算処理装置の内部論理回路を直接制御して前記中央演算処理装置から前記スクランブル装置にデータを出し、前記スクランブル装置は前記中央演算処理装置の出力データをスクランブルし、スクランブルしたデータを前記記憶素子に書き込むことが出来、前記領域を切り離した状態において、前記記憶素子から読み出したデータを前記スクランブル装置によってデスクランブルし、デスクランブルしたデータを前記中央演算処理装置に伝送することが出来るとともに、前記検出装置の出力信号に基づいて前記スクランブル装置が前記記憶素子にデータを書き込むことが出来ないようにした、ことを特徴とする電子装置である。

本発明の電子装置は、外部装置（例えば J T A G デバッグ）によって C P U の内部論理回路を直接制御して効率よく E E P R O M にデータ（プログラム等を含む。）を書き込むことが出来、かつその後領域を切り離すことにより、E E P R O M のデータの書き換えを防止できる電子装置である。

本発明により、工場で電子装置を製造する時には、J T A G デバッグ等の外部装置を使用して C P U （例えば J - C P U ）の内部回路を直接制御して、効率よく E E P R O M にデータ（プログラム等を含む。）を書き込むことが出来、又故障個所の検出等を迅速かつ的確に行うことが出来る。E E P R O M へのデータの書き込みを完了後、領域を切り離すことにより、市場で第 3 者が電子

装置に J T A G デバッガ等の外部装置を接続し、不正に内部の E E P R O M のデータを書き換えることを出来なくする。

基板の領域を切り離してあることを第 3 者が知っても実際に修復して E E P R O M への書き込みを可能にすることは極めて困難である。

第 3 者は第 1 のスクランブルパターンを知らないため、E E P R O M を基板から外して、P R O M ライター等を用いて直接データを E E P R O M に書き込むことが出来ない。

本発明は、効率の良い製造が可能な電子装置を実現し、かつ E E P R O M のデータが市場で書き換えられる恐れが非常に小さな電子装置を実現するという作用を有する。

本発明の請求項 2 3 に記載の発明は、切り離し可能な領域を有する基板であって、中央演算処理装置と、電氣的書き換え可能な不揮発性の記憶素子と、コネクタと、スクランブル装置と、前記領域が切り離されているか否かを検出する検出装置とを備えた基板を有する電子装置であって、前記領域を切り離していない状態において、前記記憶素子から読み出したデータを前記スクランブル装置によって第 1 のスクランブルパターンでデスクランブルし、デスクランブルしたデータを前記中央演算処理装置に伝送することが出来るとともに、前記コネクタに外部装置を接続することによって前記中央演算処理装置の内部論理回路を直接制御して前記中央演算処理装置か

ら前記スクランブル装置にデータを出力し、前記スクランブル装置は前記中央演算処理装置の出力データを前記第1のスクランブルパターンでスクランブルし、スクランブルしたデータを前記記憶素子に書き込むことが出来、前記領域を切り離した状態において、前記記憶素子から読み出したデータを前記スクランブル装置によって前記第1のスクランブルパターン又は前記第1のスクランブルパターンと異なるスクランブルパターンである第2のスクランブルパターンでデスクランブルし、デスクランブルしたデータを前記中央演算処理装置に伝送することが出来るとともに、前記コネクタに前記外部装置を接続することによって前記中央演算処理装置の内部論理回路を直接制御して前記中央演算装置から前記スクランブル装置にデータを出力し、前記スクランブル装置は前記中央演算処理装置の出力データを前記第2のスクランブルパターンでスクランブルし、スクランブルしたデータを前記記憶素子に書き込むことが出来る、ことを特徴とする電子装置である。

本発明の電子装置は、外部装置（例えばJTAGデバツカ）によってCPUの内部論理回路を直接制御して効率よくEEPROMにデータ（プログラム等を含む。）を書き込むことが出来、かつその後領域を切り離すことにより、EEPROMのデータの書き換えを防止できる電子装置である。

本発明により、工場で電子装置を製造する時には、J

T A G デバッガ等の外部装置を使用して C P U (例えば J - C P U) の内部回路を直接制御して、効率よく E E P R O M にデータ (プログラム等を含む。) を第 1 のスクランブルパターンでスクランブルして書き込むことが出来、又故障個所の検出等を迅速かつ的確に行うことが出来る。

第 3 者は第 1 のスクランブルパターンを知らないため、E E P R O M を基板から外して、P R O M ライター等を用いて直接データを E E P R O M に書き込むことが出来ない。

「前記領域を切り離した状態において、前記記憶素子から読み出したデータを前記スクランブル装置によって前記第 1 のスクランブルパターン又は第 2 のスクランブルパターンでデスクランブルし」とは、第 1 のスクランブルパターンでデスクランブルする電子装置 (第 2 のスクランブルパターンでデスクランブル出来ない。)、第 2 のスクランブルパターンでデスクランブルする装置 (第 1 のスクランブルパターンでデスクランブル出来ない。)、及び第 1 のスクランブルパターン及び第 2 のスクランブルパターンのうちの顧客が選択したスクランブルパターンでデスクランブルする電子装置を含む。

前記領域を切り離した状態において、前記記憶素子から読み出したデータを前記スクランブル装置によって前記第 1 のスクランブルパターンでデスクランブルする本発明の電子装置は、下記の作用を有する。

工場で効率よくEEPROMにデータを書き込んで製造された電子装置を、前記領域を切り離して出荷する。第1のスクランブルパターンでスクランブルされているEEPROMのデータは、第1のスクランブルパターンでデスクランブルされる。従って、電子装置は正常に動作する。

第3者が市場にある製品に外部装置を接続することによって前記中央演算処理装置の内部論理回路を直接制御し、外部装置から入力したデータを記憶素子に書き込んだ場合には、前記スクランブル装置は前記中央演算処理装置の出力データを第2のスクランブルパターンでスクランブルし、スクランブルしたデータを前記記憶素子に書き込む。当該スクランブル装置は記憶素子からデータを読み出して第1のスクランブルパターンでデスクランブルするため、不正書き換えしたデータにより電子装置は動作しない。

基板の領域を切り離してあることを第3者が知っても実際に修復してEEPROMへの書き込みを可能にすることは極めて困難である。

これにより、本発明は、EEPROMのデータの書き換えが困難な電子装置を実現するという作用を有する。

前記領域を切り離した状態において、前記記憶素子から読み出したデータを前記スクランブル装置によって前記第2のスクランブルパターンでデスクランブルする本発明の電子装置は、下記の作用を有する。

工場で効率よく E E P R O M にデータを書き込んで製造された電子装置を、前記領域を切り離すことなく出荷する。第 1 のスクランブルパターンでスクランブルされている E E P R O M のデータは、第 1 のスクランブルパターンでデスクランブルされる。従って、電子装置は正常に動作する。

基板の領域を切り離してあることを第 3 者が知っても実際に修復して E E P R O M への書き込みを可能にすることは極めて困難である。

第 3 者は第 1 のスクランブルパターンを知らないため、E E P R O M を基板から外して、P R O M ライター等を用いて直接データを E E P R O M に書き込むことが出来ない。

E E P R O M のデータは、何度でも書き換えることが出来る。第 1 のスクランブルパターンでスクランブルされたデータが E E P R O M に書き込まれ、E E P R O M から読み出されたデータが第 1 のスクランブルパターンでデスクランブルされる。従って、例えば、視聴者の毎月の視聴記録等のデータを記録することが出来る。

もし、第 1 のスクランブルパターンが第 3 者に漏洩し、E E P R O M が不正に書き換えられた（E E P R O M を基板から外して、P R O M ライター等を用いて不正なデータを直接 E E P R O M に書き込む場合を想定する。）場合には、前記領域を切り離す。これにより、スクランブルパターンが第 1 のスクランブルパターンから第 2 の

スクランブルパターンに変更される。電子装置は前記領域を切り離す前と変わらない機能を有し、かつ第3者に対する秘密を回復することが出来る。

即ち、EEPROMのデータは、何度でも書き換えることが出来る。第2のスクランブルパターンでスクランブルされたデータがEEPROMに書き込まれ、EEPROMから読み出されたデータが第2のスクランブルパターンでデスクランブルされる。従って、例えば、視聴者の毎月の視聴記録等のデータを記録することが出来る。

又、第3者は、第2のスクランブルパターンを知らない。

これにより、本発明は、EEPROMのデータの書き換えが困難な電子装置を実現するという作用を有する。

本発明の請求項24に記載の発明は、切り離し可能な第1の領域及び第2の領域を有する基板であって、中央演算処理装置と、電氣的書き換え可能な不揮発性の記憶素子と、スクランブル装置と、前記第1の領域が切り離されているか否かを検出する検出装置と、前記第2の領域が切り離されているか否かを検出する検出装置とを備えた基板を有する電子装置であって、前記第1の領域及び前記第2の領域のいずれの領域も切り離していない状態において、前記記憶素子から読み出したデータを前記スクランブル装置によって第1のスクランブルパターンでデスクランブルし、デスクランブルしたデータを前記中央演算処理装置に伝送することが出来るとともに、前

記コネクタに外部装置を接続することによって前記中央演算処理装置の内部論理回路を直接制御して前記中央演算処理装置から前記スクランブル装置にデータを出力し、前記スクランブル装置は前記中央演算処理装置の出カデータを前記第1のスクランブルパターンでスクランブルし、スクランブルしたデータを前記記憶素子に書き込むことが出来、前記第1の領域を切り離しかつ前記第2の領域を切り離していない状態において、前記記憶素子から読み出したデータを前記スクランブル装置によって前記第1のスクランブルパターンでデスクランブルし、デスクランブルしたデータを前記中央演算処理装置に伝送することが出来るとともに、前記コネクタに前記外部装置を接続することによって前記中央演算処理装置の内部論理回路を直接制御して前記中央演算処理装置から前記スクランブル装置にデータを出力し、前記スクランブル装置は前記中央演算処理装置の出カデータを前記第1のスクランブルパターンと異なるスクランブルパターンである第2のスクランブルパターンでスクランブルし、スクランブルしたデータを前記記憶素子に書き込むことが出来、前記第1の領域及び前記第2の領域を共に切り離した状態において、前記記憶素子から読み出したデータを前記スクランブル装置によって前記第2のスクランブルパターンでデスクランブルし、デスクランブルしたデータを前記中央演算処理装置に伝送することが出来るとともに、前記コネクタに接続した前記外部装置を通じて

前記中央演算処理装置の内部論理回路を直接制御して前記スクランブル装置を介して前記記憶素子に書き込むことが出来ないようにした、ことを特徴とする電子装置である。

本発明は、第1の領域及び第2の領域の切り離し状態に応じてスクランブル装置のスクランブルパターン及びデスクランブルパターンのモードを切替えることが出来、かつEEPROMへの書き換え可能回数を制限することが出来る電子装置を実現するという作用を有する。

第3者は第1のスクランブルパターンを知らないため、EEPROMを基板から外して、PROMライター等を用いて直接データをEEPROMに書き込むことが出来ない。

これにより、本発明は、EEPROMのデータの書き換えが困難な電子装置を実現するという作用を有する。

工場で効率よくEEPROMにデータを書き込んで製造された電子装置を、第1の領域を切り離して出荷する。第1のスクランブルパターンでスクランブルされているEEPROMのデータは、第1のスクランブルパターンでデスクランブルされる。従って、電子装置は正常に動作する。

第3者が市場にある製品に外部装置を接続することによって前記中央演算処理装置の内部論理回路を直接制御し、外部装置から入力したデータを記憶素子に書き込んだ場合にも、前記スクランブル装置は前記中央演算処理

装置の出力データを第2のスクランブルパターンでスクランブルし、スクランブルしたデータを前記記憶素子に書き込む。当該スクランブル装置は記憶素子からデータを読み出して第1のスクランブルパターンでデスクランブルするため、不正書き換えしたデータにより電子装置は動作しない。

基板の領域を切り離してあることを第3者が知っても実際に修復してEEPROMへの書き込みを可能にすることは極めて困難である。

又、EEPROMのデータを書き換える必要が発生した場合には、外部装置をコネクタに接続し、外部装置によりCPUの内部論理回路を直接制御し、EEPROMにデータを書き込む。データは第2のスクランブルパターンでスクランブルされる。そこで、基板の第2の領域を切り離す。これにより、EEPROMのデータは第2のスクランブルパターンでデスクランブルされるため、電子機器は正常に動作する。

なお、第2の領域を切り離した場合にスクランブル装置が第2のスクランブルパターンでデスクランブルすることは、秘密にしておくことが好ましい。

従って、本発明の電子装置は、2回、外部装置によりCPUの内部論理回路を直接制御し、EEPROMにデータを書き込むことが出来る。

本発明の請求項25に記載の発明は、前記中央演算処理装置はIEEE1149規格に対応した素子である、

ことを特徴とする請求項 20 から請求項 24 のいずれかの請求項に記載の電子装置である。

I E E E 1 1 4 9 規格に対応した素子は、外部装置を T A P に接続することにより、C P U の内部論理回路を直接制御することが出来る。

本発明は、I E E E 1 1 4 9 規格に対応した回路を利用して効率の良く製造できる電子装置を実現し、かつ E E P R O M のデータが市場で書き換えられる恐れが非常に小さな電子装置を実現するという作用を有する。

発明の新規な特徴は添付の請求の範囲に特に記載したものに他ならないが、構成及び内容の双方に関して本発明は、他の目的や特徴と共に、図面と共同して理解されるところの以下の詳細な説明から、より良く理解され評価されるであろう。

図面の簡単な説明

図 1 は、本発明の第 1 の実施例の電子装置の C P U 等の構成を示す図である。

図 2 は、本発明の第 2 の実施例の電子装置の C P U 等の構成を示す図である。

図 3 は、本発明の第 2 の実施例、第 3 の実施例及び第 4 の実施例における領域が切り離されていることの検出装置の構成を示す図である。

図 4 は、本発明の第 3 の実施例の電子装置の C P U 等の構成を示す図である。

図 5 は、本発明の第 4 の実施例の電子装置の CPU 等の構成を示す図である。

図 6 は、従来の電子装置の CPU 等の構成を示す図である。

図 7 は、JTAG 規格対応の CPU を有する電子装置の CPU 周辺のブロック図である。

図 8 は、JTAG 規格対応素子の内部構造を示す図である。

図面の一部又は全部は、図示を目的とした概要的表現により描かれており、必ずしもそこに示された要素の実際の相対的大きさや位置を忠実に描写しているとは限らないことは考慮願いたい。

発明の実施をするための最良の形態

以下本発明の実施をするための最良の形態を具体的に示した実施例について図面とともに記載する。

<<実施例 1>>

本発明の第 1 の実施例を図 1 を用いて説明する。

図 1 は、第 1 の実施例の電子装置における J-CPU 1 及び EEPROM を含むブロックを示す。電子装置の用途及び種類等は任意であるが、第 1 の実施例の電子装置は、衛星放送の受信機である。

なお、従来の技術で説明したものと実質的に同じ素子及び部品等については同一の符号を用いる。

図 1 において、1 は背景技術で図 8 を用いて説明した J T A G 規格対応素子の構造の C P U (J - C P U)、8 は電氣的書き換え可能な不揮発性の記憶素子であってプログラム格納用の記憶素子である E E P R O M、9 は J - C P U 1 の内部論理回路を直接制御するための外部装置である J T A G デバッカ (図示していない。) を接続するための J T A G コネクタ、10 は J - C P U 1 や E E P R O M 8 をはじめ多数の電子部品が実装されている基板で少なくとも 4 層以上の多層基板、13 は基板 10 の切り離しが容易にできるように設けられた V カットである。

図 1 において V カット 13 より左側の J T A G コネクタ 9 が設けられた領域が切り離し可能な領域を示す。J - C P U 1 は複数の端子 3 を備えており、基板 10 に半田付けされている。複数の端子 3 のうち 7 は T e s t A c c e s s P o r t (T A P) とよばれる J T A G 規格対応素子特有の端子であり、T D I、T D O、T M S、T C K、T R S T の 5 個の端子からなる。

しかし図 1 の回路構成に限定されるものではなく、J T A G 規格では T R S T はオプションとなっているために、7 は T D I、T D O、T M S 及び T C K の 4 個の端子からなる場合もある。

11 は J T A G コネクタ 9 と T A P 端子 7 を接続する 5 本又は 4 本の接続線である。接続線 11 は、基板 10 の内層 14 に形成されている。12 は J - C P U 1 と E

E P R O M 8 等とを接続するアドレスバス及びデータバスである。アドレスバス及びデータバス 1 2 は、又、J - C P U 1 と他の素子（例えば、シリアルポート L S I 等の周辺素子）とを接続している。

なお、J T A G コネクタ 9 は、一般的には T A P への接続線全て（4 本又は 5 本）を含むが、T D I のみ又は T C K のみのように J T A G 回路を動作させるために不可欠な信号（特に、E E P R O M にデータを書き込むために不可欠な信号）のみの接続線を含む場合もある。

J - C P U 1 のチップは基板 1 0 に実装された状態（半田付け等された状態）では外部から端子 3 に接触できない B a l l G r i d A r r a y (B G A) パッケージに封じられている。B G A パッケージの素子の端子は、図 1 のように全て B G A パッケージと基板との接触面内に存在するため、素子を基板に取り付けた状態（素子は基板に密着しており、素子と基板の間の隙間はほとんどない。）では端子が外部から見えない。そのため、例えば、図 1 の J - C P U 1 の端子に線材を半田付けして、当該線材を通じて J - C P U 1 に信号を入力したりすることは出来ない。

電子装置を以下の手順で製造する。

(1) 切り離し可能な領域を切り離していない状態において、基板に実装された E E P R O M 8 にプログラムを書き込む。プログラム書き込みは J T A G コネクタ 9 に J T A G デバッカを接続し、J T A G デバッカから接続

線 1 1 を介して J - C P U 1 の制 御 命 令 と プ ロ グ ラ ム を J - C P U 1 に 送 る 。 J - C P U 1 は 制 御 命 令 に 従 い 送 ら れ た プ ロ グ ラ ム を 、 バ ス 1 2 を 介 し て E E P R O M 8 に 書 き 込 む 。

例 えば 、 T D I 端 子 に デ ー タ を 入 力 し 、 T C K 端 子 に ク ロ ッ ク 信 号 を 入 力 し て 、 デ ー タ を セ ル 4 に 伝 送 す る (シ フ ト レ ジ ス タ の シ リ ア ル 伝 送) 。 次 に 、 E E P R O M 8 を 制 御 す る J - C P U 1 の 端 子 3 (例 えば 、 E E P R O M 8 の 複 数 の ア ド レ ス 端 子 、 複 数 の デ ー タ 端 子 、 ラ イ ト ス ト ロ ー プ 端 子 及 び イ ネ ー ブ ル 端 子 (又 は チ ッ プ セ レ ク ト 端 子) で あ る 。) か ら 、 セ ル 4 の デ ー タ を 出 力 す る 。 出 力 さ れ た デ ー タ は E E P R O M 8 に 入 力 さ れ る 。 こ れ を 逐 次 繰 り 返 す こ と に よ り 、 E E P R O M に デ ー タ を 書 き 込 む こ と が 出 来 る 。

こ の 一 連 の 書 き 込 み 動 作 は J T A G デ バ ッ カ を 用 い て J - C P U 1 の 内 部 論 理 回 路 を 直 接 制 御 で き る た め 実 現 で き る 。

(2) プ ロ グ ラ ム 書 き 込 み 完 了 後 V カ ッ ト 1 3 で 基 板 1 0 の 切 り 離 し 可 能 な 領 域 を 切 り 離 す 。 切 り 離 し 可 能 な 領 域 を 切 り 離 し た 後 、 完 成 し た 電 子 装 置 を 市 場 に 出 荷 す る 。

切 り 離 し 可 能 な 領 域 を 切 り 離 し た 後 は J - C P U 1 の T A P 7 に 繋 が っ た J T A G コ ネ ク タ 9 が な い た め 、 J T A G デ バ ッ カ を 接 続 で き な い 。 こ れ に よ り 、 J T A G デ バ ッ カ で J - C P U 1 の 内 部 論 理 回 路 を 直 接 制 御 し て E E P R O M 8 に プ ロ グ ラ ム を 書 き 込 む こ と が で き な く

なり、第3者が不正にEEPROMのプログラムを改造することを防止できる。

また、接続線11（JTAG信号が通る。）が基板10の表層に形成されていれば、接続線11を覆っている保護層を削り取ることにより接続線11を露出させることができる。露出させた接続線11に線材を直接半田付けし、線材の他端をJTAGデバツカに接続することにより、JTAGデバツカでJ-CPU1の内部論理回路2を直接制御してプログラムの改造が可能になる。

第1の実施例の電子装置は、接続線11が基板10の内層に形成されているため、接続線11にJTAGデバツカを直接接続することが出来ない。従って、領域を切り離れた後は、プログラムを改造することが出来ない。

5本又は4本の接続線11全てが基板10の内層に形成されていても良く、例えば、TDIの接続線のみ又はTCKの接続線のみが基板10の内層に形成されていてもよい。

J-CPU1のチップが例えばQuad Flat Package（QFP）のように基板10に実装された後も端子3に外部より接触可能なパッケージに封じられていれば、端子3に直接JTAGデバツカを接続できるため、JTAGデバツカでJ-CPU1の内部論理回路2を直接制御してプログラムの改造をすることが可能になる。

第1の実施例においては、J-CPU1のチップがB

G A パッケージに封じされており、T A P 7 に J T A G デバツカを直接接続してプログラムを改造することが出来ない。

第 1 の実施例の変形においては、J - C P U 1 のチップは外部から接触できるパッケージ（例えば Q F P ）に封じされているが、J - C P U 1 を実装後少なくとも T A P 7 が樹脂封じされている（例えば、T A P 7 の端子の上に除去が困難な樹脂を塗布し、樹脂を固化させる。）。J - C P U 1 は基板に実装された状態において、その端子が外部より接触できないように封じされる。従って、このような方法によっても、同様の効果が得られる。

明細書及び特許請求の範囲の記載における「基板に実装された状態において端子が外部より接触できないように封じされている」とは、半導体装置のチップが B G A パッケージ等に封じされている場合、及び半導体装置を基板に実装後その端子を樹脂で覆う等の方法により封じする場合を含む。

<<実施例 2>>

本発明の第 2 の実施例を図 2 及び図 3 を用いて説明する。

図 2 は、第 2 の実施例の電子装置における J - C P U 1 及び E E P R O M 8 を含むブロックを示す。電子装置の用途及び種類等は任意であるが、第 2 の実施例の電子

装置は、携帯情報端末である。

なお、従来の技術又は第1の実施例で説明したものと実質的に同じ素子及び部品については同一の符号を用い、説明を省略する。

図2において、15はJTAGコネクタ9とJ-CPU1間の信号を中継する第1の中継装置、16は基板10の切り離し可能な領域が切り離されているか否かを検出するために切り離し可能な領域まで引き出された切り離し監視線である。領域が切り離されているか否かを検出する検出装置は、切り離し監視線16を含む。切り離し監視線16は、基板10の内層に形成されている。

図3を用いて、切り離し監視線16を含む検出装置が基板10の切り離し可能な領域が切り離されているか否かを検出する方法を説明する。切り離し監視線16の一端は基板10の切り離し可能な領域でグラウンドに接続され、他方は中継装置15に接続され、中継装置15内部で電圧検出部と、抵抗を介して電源に接続されている。検出装置は、切り離し監視線、抵抗及び電圧検出部等を含む。

切り離し可能な領域が切り離されていない場合は切り離し監視線16の電圧はグラウンドと等しくなり(0V)、切り離された後は電源電圧(例えば+5V)と等しくなる。中継装置15内部の電圧検出部はこの切り離し監視線16の電圧を検出する。

切り離し監視線16の電圧が0Vであることを電圧検

出部が検出した場合は、中継装置 1 5 は接続線 1 1 (J T A G コネクタ 9 と J - C P U 1 の T A P 7 とを接続する接続線で、J T A G 信号が通る。) を接続する。外部装置 (J T A G デバッガ) を J T A G コネクタ 9 に接続し、外部装置から J - C P U 1 に J T A G 信号を伝送し、J - C P U 1 の内部論理回路を直接制御して E E P R O M 8 にデータ (プログラム) を書き込むことが出来る。

切り離し監視線 1 6 の電圧が 5 V の場合は、中継装置 1 5 は接続線 1 1 を遮断する。外部装置から J - C P U 1 に J T A G 信号を伝送出来ない。そのため、E E P R O M のデータを書き換えることが出来ない。

中継装置 1 5 は接続線 1 1 を全て (4 本又は 5 本) 遮断してもよく、T D I のみ、又は T C K のみ遮断してもよい。

電子装置を以下の手順で製造する。

(1) 切り離し可能な領域を切り離していない状態において、基板に実装された E E P R O M 8 にプログラムを書き込む。プログラム書き込みは J T A G コネクタ 9 に J T A G デバッガを接続し、J T A G デバッガから接続線 1 1 及び中継装置 1 5 を介して J - C P U 1 の制御命令とプログラムを J - C P U 1 に送る。J - C P U 1 は制御命令に従って、送られたプログラムをバス 1 2 を介して E E P R O M 8 に書き込む。この一連の書き込み動作は J T A G デバッガを用いて J - C P U 1 の内部論理回路を直接制御できるため実現できる。

(2) プログラム書き込み完了後 V カット 13 で基板 10 の切り離し可能な領域を切り離す。切り離し可能な領域を切り離した後、完成した電子装置を市場に出荷する。

切り離し可能な領域を切り離した後は中継装置 15 が接続線 11 を遮断するため、JTAG デバッカにより J-CPU1 の内部論理回路を直接制御して EEPROM 8 にプログラムを書き込むことができない。これにより、第 3 者が不正に EEPROM のプログラムを改造することを防止できる。

もし、切り離し監視線 16 が基板 10 の表層に形成されていれば、基板 10 の切り離し可能な領域が切り離された後、切り離し監視線 16 を覆っている保護層を削り取ることにより切り離し監視線 16 を露出させることができる。露出させた切り離し監視線 16 に線材を直接半田付けし、線材の他端をグラウンドに接続するという不正な改造を行うことにより、中継装置 15 が接続線 11 を接続する。これにより、JTAG デバッカで J-CPU1 の内部論理回路 2 を直接制御してプログラムの改造をすることが可能になる。

第 1 の実施例の電子装置は、切り離し監視線 16 が基板 10 の内層に形成されているため、上記のような不正な改造が出来ない。従って、領域を切り離した後は、プログラムを改造することが出来ない。

同様に、中継装置 15 と J-CPU1 との間の接続線 11 も基板 10 の内層 14 に形成されているために、中

継装置 15 と J - C P U 1 との間の接続線 11 に直接 J T A G デバッカを接続することができない。これにより、プログラムの改造を防止できる。

さらに、J - C P U 1 及び中継装置 15 のチップが B G A パッケージに封じられているため、これらの素子を基板に実装後はそれらの端子 3 に外部から接触できない。従って、J - C P U 1 または中継装置 15 の J T A G 信号線の端子に直接 J T A G デバッカを接続してプログラムを改造することが出来ない。

他の実施例においては、J - C P U 1 及び中継装置 15 のチップは外部から接触できるパッケージ（例えば Q F P ）に封じられているが、J - C P U 1 及び中継装置 15 を実装後少なくとも J T A G 信号線の端子を樹脂封じする（例えば、T A P 7 の端子の上に除去が困難な樹脂を塗布し、樹脂を固化させる。）。J - C P U 1 及び中継装置 15 は基板に実装された状態において、その端子が外部より接触できないように封じられる。従って、このような方法によっても、同様の効果が得られる。

<<実施例 3>>

本発明の第 3 の実施例を図 4 を用いて説明する。

図 4 は、第 3 の実施例の電子装置における J - C P U 1 及び E E P R O M を含むブロックを示す。電子装置の用途及び種類等は任意であるが、第 3 の実施例の電子装置は、複写機である。

なお、従来の技術、第1の実施例又は第2の実施例で説明したものと実質的に同じ素子及び部品については同一の符号を用い、説明を省略する。

図4において、19は検出装置と中継装置を有する第2の中継装置である。検出装置は、基板10の切り離し可能な領域が切り離されているか否かを検出し、検出結果を第2の中継装置19が有する中継装置及びスクランブル装置17に伝送する。第2の中継装置19が有する中継装置は、検出装置の検出結果に従ってJTAGコネクタ9とJ-CPU1間の接続線11（JTAGコネクタ9とJ-CPU1のTAPとを接続する接続線で、JTAG信号が通る。）を接続もしくは遮断する。

17はJ-CPU1からEEPROM8に伝送されるデータをスクランブルし、かつEEPROM8からJ-CPU1に伝送されるデータをデスクランブルする第1のスクランブル装置である。12aはデータバス、12bはアドレスバス、12cはスクランブルが施されたデータバスで、18は少なくとも第2の中継装置19とスクランブル装置17を含む第1の半導体装置である。

第2の中継装置19の機能は、検出結果をスクランブル装置17に伝送することを除いて、第2の実施例の中継装置15と同様である。

検出装置は、図3に示す第2の実施例と同じである。従って、切り離し可能な領域が切り離されていない場合は、切り離し監視線16はグラウンドに接地されており、

切り離し監視線 16 の電圧は 0 V である。切り離し可能な領域が切り離された場合は、切り離し監視線 16 の電圧は電源電圧（例えば +5 V）である。

基板 10 の切り離し可能な領域が切り離されていない場合には、検出装置は基板 10 の切り離し可能な領域が切り離されていないことを切り離し監視線 16 によって検出し、第 2 の中継装置 19 に含まれる中継装置及びスクランブル装置 17 に前記領域が切り離されていないことを示す検出信号（以下、第 1 の検出信号という。）を伝送する。第 2 の中継装置 19 に含まれる中継装置は、JTAG コネクタ 9 と J-CPU 1 間の接続線 11 を接続する。

スクランブル装置が第 1 の検出信号を入力する場合には、スクランブル装置 17 は、J-CPU 1 が出力するデータを入力し、入力したデータを秘密のスクランブルパターンでスクランブルし、スクランブルされたデータを出力する。スクランブルされたデータは、EEPROM に書き込まれる。また、検出装置が第 1 の検出信号を出力しているか、又は前記領域が切り離されていることを示す検出信号（以下、第 2 の検出信号という。）を出力しているかにかかわらず、スクランブル装置 17 は、EEPROM 8 から読み出したデータを入力し、入力したデータを秘密の前記スクランブルパターンでデスクランブルし、デスクランブルされたデータを J-CPU 1 に伝送する。

基板 10 の切り離し可能な領域が切り離されている場合には、検出装置はスクランブル装置 17 に対し第 2 の検出信号を伝送する。

スクランブル装置 17 が第 2 の検出信号を入力する場合には、スクランブル装置 17 は E E P R O M 8 へのデータの書き込みを行わない。具体的には、例えば、スクランブル装置 17 が J - C P U 1 と E E P R O M 8 との全ての接続線を遮断すること、又は J - C P U 1 から E E P R O M 8 に伝送するライトストローク信号を遮断すること、又は E E P R O M 8 のイネーブル端子（又はチップセレクト端子）をディスエーブルにする等により、E E P R O M 8 へのデータ書き込みが禁止される。

電子装置を以下の手順で製造する。

(1) 切り離し可能な領域を切り離していない状態において、基板に実装された E E P R O M 8 にプログラムを書き込む。プログラム書き込みは J T A G コネクタ 9 に J T A G デバツカを接続し、J T A G デバツカから接続線 11 及び第 2 の中継装置 19 を介して J - C P U 1 の制御命令とプログラムを J - C P U 1 に送る。J - C P U 1 は制御命令に従って、送られたプログラムをバス 12 a 及び 12 b を介してスクランブル装置 17 に伝送する。スクランブル装置 17 はプログラムをスクランブルする。スクランブルされたプログラムは、E E P R O M 8 に書き込まれる。この一連の書き込み動作は J T A G デバツカを用いて J - C P U 1 の内部論理回路を直接制

御できるため実現できる。

(2) プログラム書き込み完了後 V カットで基板の切り離し可能な領域を切り離す。切り離し可能な領域を切り離した後、完成した電子装置を市場に出荷する。

切り離し可能な領域を切り離した後は、中継装置 19 が接続線 11 を遮断しかつスクランブル装置 17 がデータを E E P R O M 8 に書き込まないため、J T A G デバツカにより J - C P U 1 の内部論理回路を直接制御して E E P R O M 8 にプログラムを書き込むことができない (接続線 11 の遮断のみでもよく、又は E E P R O M 8 への書き込み禁止のみでもよい。)。これにより、第 3 者が不正に E E P R O M のプログラムを改造することを防止できる。

また、第 3 の実施例においては、中継装置 19 とスクランブル装置 17 が電子装置の動作上不可欠な他の回路とともに、一体的に半導体装置 18 内部で構成されている。もし、半導体装置 18 を基板 10 から取り外し、中継装置 19 とスクランブル装置 17 をバイパスし、J T A G コネクタ 9 の各端子と J - C P U 1 の T A P とを線材によって直接接続し、かつ J - C P U 1 と E E P R O M 8 間のデータバス 12 a を線材によって直接接続した場合には、J T A G デバツカを使用して E E P R O M のプログラムを書き換えることが出来る可能性があるが、半導体装置 18 が取り外されているため電子装置の動作上不可欠な他の回路がなく、電子装置は動作しない。

動作上不可欠な他の回路は任意であり、実際の装置の内部構成に依存して不可欠であるか否かが決まるが、例えば R A M、拡張入出力端子、シリアル入出力装置等である。

E E P R O M 8 を基板から取り外し、E E P R O M 8 のプログラムを P R O M ライター等を用いて書き換え、プログラムを書き換えた E E P R O M 8 を再び基板に取り付けるという不正な改造が行われる可能性がある。しかし、第 3 者はスクランブル装置 1 7 のスクランブルパターンを知らないため、第 3 者は、秘密のスクランブルパターンでスクランブルされたプログラムを E E P R O M 8 に書き込むことが出来ない。従って、スクランブルされていないデータ等を E E P R O M に書き込むことによって不正な改造を行っても、電子装置は動作しない。

さらに、J - C P U 1 及び半導体装置 1 8 のチップが B G A パッケージに封じられているため、これらの素子を基板に実装後はそれらの端子に外部から接触できない。従って、J - C P U 1 又は半導体装置 1 8 の J T A G 信号線の端子に直接 J T A G デバッカを接続等してプログラムを改造することが出来ない。

他の実施例においては、J - C P U 1 及び半導体装置 1 8 のチップは外部から接触できるパッケージ（例えば Q F P）に封じられているが、J - C P U 1 及び半導体装置 1 8 を実装後少なくとも J T A G 信号線の端子及び J - C P U 1 から E E P R O M 8 に伝送されるライトス

トロープ信号の端子を樹脂封じする（例えば、端子の上に除去が困難な樹脂を塗布し、樹脂を固化させる。）。J-CPU1及び半導体装置18は基板に実装された状態において、その端子が外部より接触できないように封じされる。従って、このような方法によっても、同様の効果が得られる。

もし、切り離し監視線16が基板10の表層に形成されていれば、基板10の切り離し可能な領域が切り離された後、切り離し監視線16を覆っている保護層を削り取ることにより切り離し監視線16を露出させることができる。露出させた切り離し監視線16に線材を直接半田付けし、線材の他端をグラウンドに接続するという不正な改造を行うことにより、第2の中継装置19の検出装置は第1の検出信号を出力する。これにより、JTAGデバツカでJ-CPU1の内部論理回路2を直接制御してプログラムの改造をすることが可能になる。

第3の実施例の電子装置は、切り離し監視線16が基板10の内層に形成されているため、上記のような不正な改造が出来ない。従って、領域を切り離した後は、プログラムを改造することが出来ない。

同様に、第2の中継装置19とJ-CPU1との間の接続線11も基板10の内層14に形成されているために、第2の中継装置19とJ-CPU1との間の接続線11に直接JTAGデバツカを接続することができない。これにより、プログラムの改造を防止できる。

<<実施例 4>>

本発明の第 4 の実施例を図 5 を用いて説明する。

図 5 は、第 4 の実施例の電子装置における J - C P U 1 及び E E P R O M を含むブロックを示す。電子装置の用途及び種類等は任意であるが、第 4 の実施例の電子装置は、セットトップボックスである。

なお、従来の技術、第 1 の実施例、第 2 の実施例又は第 3 の実施例で説明したものと実質的に同じ素子及び部品については同一の符号を用い、説明を省略する。

図 5 において、基板 1 0 は第 1 の切り離し可能な領域と第 2 の切り離し可能な領域を有する。1 6 a 及び 1 6 b はそれぞれ基板 1 0 の第 1 の切り離し可能な領域及び第 2 の切り離し可能な領域が切り離されているか否かを検出する監視線である。図 3 の監視線（第 2 の実施例）と同様に、監視線 1 6 a は基板 1 0 の第 1 の切り離し可能な領域内でグラウンドに接続されており、監視線 1 6 b は基板 1 0 の第 2 の切り離し可能な領域内でグラウンドに接続されている。

2 2 は切り離し監視線 1 6 a を用いて、基板 1 0 の第 1 の切り離し領域が切り離されているか否かを検出する第 1 の検出装置、2 3 は切り離し監視線 1 6 b を用いて、基板 1 0 の第 2 の切り離し領域が切り離されているか否かを検出する第 2 の検出装置である。第 1 の検出装置及び第 2 の検出装置は、図 3（第 2 の実施例）と同様の構

成をしており、電源（+5V）と第1の監視線又は第2の監視線との間に接続された抵抗と電圧検出部を含む。

20は2種類のスクランブルパターンと2種類のデスクランブルパターンを有する第2のスクランブル装置である。21は少なくとも第1の検出装置22と第2の検出装置23と第2のスクランブル装置20とを含む第2の半導体装置である。

第1及び第2の切り離し可能な領域がともに切り離されていない場合について説明する。

第1の検出装置22及び第2の検出装置23が、切り離し監視線16a及び16bがグラウンドに接続されていることをそれぞれ検出し、検出結果を第2のスクランブル装置20に伝送する。第2のスクランブル装置20はスクランブルパターンを第1のスクランブルパターンに設定し、デスクランブルパターンを第1のデスクランブルパターンに設定する。

外部装置（例えばJTAGデバッガ）をJTAGコネクタ9に接続し、外部装置によりJ-CPU1の内部論理回路を直接駆動し、EEPROM8にプログラムを書き込む場合には、スクランブル装置20はJ-CPU1が出力するデータを入力し、入力したデータを第1のスクランブルパターンでスクランブルし、スクランブルしたデータをEEPROM8に書き込む。

スクランブル装置20は、EEPROM8から読み出したデータを入力し、入力したデータを第1のスクラン

ブルパターンでデスクランブルし、デスクランブルしたデータを J - C P U 1 に伝送する。

つぎに第 1 の切り離し可能な領域が切り離されており、かつ第 2 の切り離し可能な領域が切り離されていない場合について説明する。

切り離し監視線 1 6 a の電圧が + 5 V (第 1 の領域が切り離されている状態)であることを第 1 の検出装置 2 2 が検出し、切り離し監視線 1 6 b の電圧が 0 V (第 2 の領域が切り離されていない状態)であることを第 2 の検出装置 2 3 が検出し、それぞれの検出結果が第 2 のスクランブル装置 2 0 に伝送される。第 2 のスクランブル装置 2 0 はスクランブルパターンを第 2 のスクランブルパターンに設定し、デスクランブルパターンを第 1 のデスクランブルパターンに設定する。

外部装置 (例えば J T A G デバッガ) を J T A G コネクタ 9 に接続し、外部装置により J - C P U 1 の内部論理回路を直接駆動し、E E P R O M 8 にプログラムを書き込む場合には、スクランブル装置 2 0 は J - C P U 1 が出力するデータを入力し、入力したデータを第 2 のスクランブルパターンでスクランブルし、スクランブルしたデータを E E P R O M 8 に書き込む。

スクランブル装置 2 0 は、E E P R O M 8 から読み出したデータを入力し、入力したデータを第 1 のスクランブルパターンでデスクランブルし、デスクランブルしたデータを J - C P U 1 に伝送する。

つぎに第 1 及び第 2 の切り離し可能な領域が切り離されている場合について説明する。

切り離し監視線 16 a 及び 16 b の電圧がともに + 5 V (領域が切り離されている状態)であることを第 1 の検出装置 22 及び第 2 の検出装置 23 が検出する。それぞれの検出結果が第 2 のスクランブル装置 20 に伝送される。第 2 のスクランブル装置 20 は E E P R O M 8 への書き込みデータ及び E E P R O M 8 へのライトストローブ信号が通る経路を遮断し、デスクランブルパターンを第 2 のデスクランブルパターンに設定する。

従って、外部装置 (例えば J T A G デバッガ) を J T A G コネクタ 9 に接続し、外部装置により J - C P U 1 の内部論理回路を直接駆動しても、E E P R O M 8 にデータを書き込むことが出来ない。

スクランブル装置 20 は、E E P R O M 8 から読み出したデータを入力し、入力したデータを第 2 のスクランブルパターンでデスクランブルし、デスクランブルしたデータを J - C P U 1 に伝送する。

すなわち、第 1 及び第 2 の切り離し可能な領域がともに切り離されていない場合は、J T A G コネクタ 9 に接続した J T A G デバッカより接続線 11 を介して J - C P U 1 に送られた E E P R O M 8 のプログラムはデータバス 12 a で第 2 のスクランブル装置 20 に入力され、第 1 のスクランブルパターンでスクランブルされ、データバス 12 c で E E P R O M 8 に書き込まれる。E E P

R O M 8 から読み出されたデータはデータバス 1 2 c で第 2 のスクランブル装置 2 0 に入力され、第 1 のデスクランブルパターンに従いデスクランブルされ、データバス 1 2 a でスクランブルされていないデータが J - C P U 1 に入力される。そのため、この場合には無制限の回数、プログラム改造が可能である。

第 1 の切り離し可能な領域のみが切り離された状態でプログラムの書き換えを実行すると、第 2 のスクランブルパターンに従ってスクランブルされたデータが E E P R O M 8 に書き込まれるため、E E P R O M 8 から読み出したデータにはスクランブル装置 2 0 で第 2 のデスクランブルパターンに従ったデスクランブルを施す必要があり、このため第 2 の切り離し可能な領域を折り取らなければならない。第 2 の切り離し可能な領域を切り離すと第 2 のスクランブル装置 2 0 は E E P R O M 8 への書き込みを禁止するために、その後は E E P R O M 8 のデータを書き換えることが出来ない。

第 4 の実施例の電子装置は、プログラムの無制限回数の書き換え、1 回のみプログラムの書き換え、プログラムの書き換え禁止の各状態を実現できる。これにより、不正なプログラム改造を防止出来るとともに、必要な場合には電子装置の E E P R O M 8 のデータを書き換えることが出来る。

電子装置を以下の手順で製造する。

(1) 切り離し可能な領域を切り離していない状態にお

いて、基板に実装された E E P R O M 8 にプログラムを書き込む。プログラム書き込みは J T A G コネクタ 9 に J T A G デバッカを接続し、J T A G デバッカから接続線 1 1 を介して J - C P U 1 の制御命令とプログラムを J - C P U 1 に送る。J - C P U 1 は制御命令に従って、送られたプログラムをバス 1 2 a を介してスクランブル装置 2 0 に伝送する。伝送されたプログラムは、スクランブル装置 2 0 により第 1 のスクランブルパターンでスクランブルされる。スクランブルされたプログラムはバス 1 2 c を介して E E P R O M 8 に書き込まれる。この一連の書き込み動作は J T A G デバッカを用いて J - C P U 1 の内部論理回路を直接制御できるため実現できる。

(2) プログラム書き込み完了後第 1 の切り離し可能な領域を切り離す。切り離し可能な領域を切り離した後、完成した電子装置を市場に出荷する。

(3) もし製品を市場に出荷した後にプログラムの書き換えが必要になれば、サービスステーションにおいて

(1) と同様の手順で E E P R O M にデータを書き込み、その後第 2 の切り離し可能な領域を切り離す。その後、電子装置を市場に送り返す。

第 3 者が J T A G コネクタ 9 に J T A G デバッカを接続し、J T A G デバッカにより J - C P U 1 の内部論理回路を直接制御し、J T A G デバッカが送出するデータを E E P R O M 8 に不正に書き込むことが考えられる。しかし、スクランブル装置 2 0 は入力されたデータを第

2 のスクランブルパターンでスクランブルし、スクランブルされたデータを E E P R O M 8 に書き込む。又、E E P R O M 8 から読み出されたデータはスクランブル装置 2 0 によって第 1 のスクランブルパターンでデスクランブルされる。従って、電子機器は動作しない。

第 2 の領域を切り離すことによりスクランブル装置 2 0 が第 2 のスクランブルパターンでデスクランブルすることは秘密であることが好ましい。

万一、第 3 者がこの秘密を知った場合にも、E E P R O M のデータの書き換えは 1 回しか出来ない。第 3 者が不十分な情報に基づいて改造プログラムを作成し、1 回のデータ書き換えで電子装置を正常に動作させることは一般に極めて困難である。

もし、何らかの理由により、市場にある製品の E E P R O M のプログラムを書き換える必要がある場合は、J T A G デバッガを使って J - C P U 1 の内部論理回路を直接制御し、第 2 のスクランブルパターンでスクランブルされたデータを E E P R O M 8 に書き込むことが出来る。書き込んだ後、第 2 の領域を切り離すことにより、電子装置は正常に動作する。

第 2 の切り離し可能な領域を切り離した後は、スクランブル装置 2 0 がデータバス 1 2 a と 1 2 c との接続を遮断等するため、その後は第 3 者が不正に E E P R O M のプログラムを改造することが極めて困難になる。

第 4 の実施例においては、第 2 の半導体装置 2 1 が、

第 1 の検出装置 2 2 と第 2 の検出装置 2 3 と第 2 のスクランブル装置 2 0 と電子装置の動作上不可欠な他の回路とを含む。もし、半導体装置 2 1 を基板 1 0 から取り外し、スクランブル装置 2 0 をバイパスし、J-CPU 1 と E E P R O M 8 間のデータバス 1 2 a 及び 1 2 c を線材で直接接続した場合には、JTAG デバッカを使用して E E P R O M のプログラムを書き換えることが出来る可能性があるが、半導体装置 2 1 が取り外されているため電子装置の動作上不可欠な他の回路がなく、電子装置は動作しない。

E E P R O M 8 を基板から取り外し、E E P R O M 8 のプログラムを P R O M ライター等を用いて書き換え、プログラムを書き換えた E E P R O M 8 を再び基板に取り付けるという不正な改造が行われる可能性がある。しかし、第 3 者はスクランブル装置 2 0 の第 1 のスランブルパターンを知らないため、第 3 者は、第 1 のスクランブルパターンでスクランブルされたプログラムを E E P R O M 8 に書き込むことが出来ない。従って、上記の不正な改造を行っても、電子装置は動作しない。

もし、切り離し監視線 1 6 a 又は 1 6 b が基板 1 0 の表層に形成されていれば、基板 1 0 の切り離し可能な領域が切り離された後、切り離し監視線 1 6 a 又は 1 6 b を覆っている保護層を削り取ることにより切り離し監視線 1 6 a 又は 1 6 b を露出させることができる。露出させた切り離し監視線 1 6 a 又は 1 6 b に線材を直接半田

付けし、線材の他端をグラウンドに接続するという不正な改造を行うことにより、第1の検出装置22又は第2の検出装置23は第1の領域又は第2の領域が切り離されていない状態を示す検出信号を出力する。これにより、JTAGデバツカでJ-CPU1の内部論理回路2を直接制御してEEPROM8のプログラムの改造をすることが可能になる。

第4の実施例の電子装置は、切り離し監視線16a及び16bが基板10の内層に形成されているため、上記のような不正な改造が出来ない。従って、第1の領域を切り離した後はプログラムを改造することが困難であり、第1の領域及び第2の領域を切り離した後はプログラムを改造することが出来ない。

これにより、プログラムの改造を防止できる。

図5の構成を有する他の実施例を説明する。

第1の領域及び第2の領域が切り離されていない場合は、スクランブル装置20は、J-CPU1が出力するデータを第1のスクランブルパターンでスクランブルし、スクランブルしたデータをEEPROM8に伝送する。又、スクランブル装置20は、EEPROM8から読み出したデータを第1のスクランブルパターンでデスクランブルし、デスクランブルしたデータをJ-CPU1に伝送する。

第1の領域が切り離されており、かつ第2の領域が切り離されていない場合は、スクランブル装置20は、J

—CPU1が出力するデータを第2のスクランブルパターンでスクランブルし、スクランブルしたデータをEEPROM8に伝送する。又、スクランブル装置20は、EEPROM8から読み出したデータを第2のスクランブルパターンでデスクランブルし、デスクランブルしたデータをJ—CPU1に伝送する。

第1の領域及び第2の領域が切り離されている場合は、スクランブル装置20は、J—CPU1のライトストローブ信号が通る経路を遮断する。又、スクランブル装置20は、EEPROM8から読み出したデータを第2のスクランブルパターンでデスクランブルし、デスクランブルしたデータをJ—CPU1に伝送する。

本発明により、工場で電子装置を製造する時には、JTAGデバッガ等の外部装置を使用してCPU（例えばJ—CPU）の内部回路を直接制御して、効率よくEEPROMにデータ（プログラム等を含む。）を書き込むことが出来、又故障個所の検出等を迅速かつ的確に行うことが出来る。EEPROMへのデータの書き込みを完了後、領域を切り離すことにより、市場で第3者が電子装置にJTAGデバッガ等の外部装置を接続し、不正に内部のEEPROMのデータを書き換えることを出来なくする。

本発明によれば、効率の良い電子装置の製造方法を実現し、かつ製造された電子装置のEEPROMに記憶されたデータが市場で書き換えられる恐れが非常に小さな

電子装置の製造方法を実現するという有利な効果が得られる。

本発明により、市場で第3者がCPU等の端子又は基板の接続線等に線材を直接半田付けし、当該線材の他端をJTAGデバッガ等の外部装置の端子に接続等して不正に内部のEEPROMのデータを書き換えることを、出来なくする。

本発明によれば、製造された電子装置のEEPROMに記憶されたデータが市場で書き換えられる恐れがさらに小さな電子装置の製造方法を実現するという有利な効果が得られる。

本発明の電子装置の製造方法においては、さらに、EEPROMにスクランブルされたデータが書き込まれており、第3者はスクランブルパターンが分からないため、第3者がEEPROMを取り外して、PROMライター等を使用してデータを書き換えることが出来ない。

本発明によれば、効率の良い電子装置の製造方法を実現し、かつ製造された電子装置のEEPROMに記憶されたデータが市場で書き換えられる恐れが非常に小さな電子装置の製造方法を実現するという有利な効果が得られる。

本発明によれば、さらに、基板の領域を切り離すことによりEEPROMに書き込まれるデータのスクランブルパターンを変更することが出来る電子装置を実現できるという有利な効果が得られる。しかも、いったん領域

を切り離した状態においては、スクランブル装置がデスクランブルするスクランブルパターンと、スクランブルするスクランブルパターンが異なるため、第3者が不正にデータを書き込むことが非常に困難である。また、秘密の第2の領域を切り離す等の方法により、E E P R O Mのデータを書き直すことが可能になる。

本発明によれば、効率の良い電子装置の製造方法を実現し、かつ製造された電子装置のE E P R O Mに記憶されたデータが市場で書き換えられる恐れが非常に小さい電子装置の製造方法を実現するという有利な効果が得られるとともに、製造された電子装置のE E P R O Mに記憶されたデータを後で書き換えることが出来る電子装置の製造方法を実現するという有利な効果が得られる。

本発明によれば、I E E E 1 1 4 9規格に対応した回路を利用して効率の良い電子装置の製造方法を実現し、かつ製造された電子装置のE E P R O Mに記憶されたデータが市場で書き換えられる恐れが非常に小さな電子装置の製造方法を実現するという有利な効果が得られる有する。

本発明の電子装置は、外部装置（例えばJ T A Gデバツカ）によってC P Uの内部論理回路を直接制御して効率よくE E P R O Mにデータ（プログラム等を含む。）を書き込むことが出来、かつその後領域を切り離すことにより、E E P R O Mのデータの書き換えを防止できる電子装置である。

本発明により、工場で電子装置を製造する時には、J

T A G デ バ ッ ガ 等 の 外 部 装 置 を 使 用 し て C P U (例 え ば J - C P U) の 内 部 回 路 を 直 接 制 御 し て 、 効 率 よ く E E P R O M に デ ー タ (プ ロ グ ラ ム 等 を 含 む 。) を 書 き 込 む こ と が 出 来 、 又 故 障 個 所 の 検 出 等 を 迅 速 か つ 的 確 に 行 う こ と が 出 来 る 。 E E P R O M へ の デ ー タ の 書 き 込 み を 完 了 後 、 領 域 を 切 り 離 す こ と に よ り 、 市 場 で 第 3 者 が 電 子 装 置 に J T A G デ バ ッ ガ 等 の 外 部 装 置 を 接 続 し 、 不 正 に 内 部 の E E P R O M の デ ー タ を 書 き 換 え る こ と を 出 来 な く す る 。

本 発 明 に よ れ ば 、 効 率 の 良 い 製 造 が 可 能 な 電 子 装 置 を 実 現 し 、 か つ E E P R O M に 記 憶 さ れ た デ ー タ が 市 場 で 書 き 換 え ら れ る 恐 れ が 非 常 に 小 さ な 電 子 装 置 を 実 現 す と い う 有 利 な 効 果 が 得 ら れ る 。

本 発 明 に お い て は 、 さ ら に 、 E E P R O M に ス ク ラ ン ブ ル さ れ た デ ー タ が 書 き 込 ま れ て お り 、 第 3 者 は ス ク ラ ン ブ ル パ タ ー ン が 分 か ら な い た め 、 第 3 者 が E E P R O M を 取 り 外 し て 、 P R O M ラ イ タ ー 等 を 使 用 し て デ ー タ を 書 き 換 え る こ と が 出 来 な い 。

本 発 明 に よ れ ば 、 効 率 の 良 い 製 造 が 可 能 な 電 子 装 置 を 実 現 し 、 か つ E E P R O M の デ ー タ が 市 場 で 書 き 換 え ら れ る 恐 れ が 非 常 に 小 さ な 電 子 装 置 を 実 現 す る と い う 有 利 な 効 果 が 得 ら れ る 。

本 発 明 に よ れ ば 、 さ ら に 、 基 板 の 領 域 を 切 り 離 す こ と に よ り E E P R O M に 書 き 込 ま れ る デ ー タ の ス ク ラ ン ブ ル パ タ ー ン を 変 更 す る こ と が 出 来 る 電 子 装 置 を 実 現 す る

という有利な効果が得られる。

又、いったん領域を切り離した状態においては、スクランブル装置がデスクランブルするスクランブルパターンと、スクランブルするスクランブルパターンが異なる電子装置においては、第3者が不正にデータを書き込むことが非常に困難である。また、秘密の第2の領域を切り離す等の方法により、EEPROMのデータを書き直すことが可能になる。

本発明によれば、効率の良い製造が可能な電子装置を実現し、かつEEPROMのデータが市場で書き換えられる恐れが非常に小さい電子装置を実現するという有利な効果が得られるとともに、EEPROMのデータを後で書き換えることが出来る電子装置を実現するという有利な効果が得られる。

本発明の電子装置は、さらに、基板の領域を切り離すことによりEEPROMに書き込まれるデータのスクランブルパターンを変更することが出来、かつそれぞれのスクランブルパターンで何回でもEEPROMのデータの書き換えをすることが出来る電子装置を実現する。

本発明は、視聴者の毎月の視聴記録等の何回も書き直す必要があるデータを、不正に書き換えることが困難な電子装置を実現する。

第3者は第1のスクランブルパターンを知らないため、EEPROMを基板から外して、PROMライター等を用いて直接データをEEPROMに書き込むことが出来

ない。

又、不正にデータを書き換えられたと判断した場合には、基板の領域を切り離すことにより、スクランブルパターンを変更することが出来る。

本発明によれば、E E P R O M のデータの書き換えが困難な電子装置を実現するという有利な効果が得られる。

本発明によれば、第1の領域及び第2の領域の切り離し状態に応じてスクランブル装置のスクランブルパターン及びデスクランブルパターンのモードを切替えることが出来、かつE E P R O M への書き換え可能回数を制限する（1回だけの書き換えが可能である。）ことが出来る電子装置を実現するという有利な効果が得られる。

本発明によれば、I E E E 1 1 4 9 規格に対応した回路を利用して効率の良く製造できる電子装置を実現し、かつE E P R O M のデータが市場で書き換えられる恐れが非常に小さな電子装置を実現するという有利な効果が得られる。

発明をある程度の詳細さをもって好適な形態について説明したが、この好適形態の現開示内容は構成の細部において変化してしかるべきものであり、各要素の組合せや順序の変化は請求された発明の範囲及び思想を逸脱することなく実現し得るものである。

産業上の利用可能性

本発明は、I E E E s t d 1 1 4 9 . 1 - 1 9 9

0 S t a n d a r d T e s t A c c e s s P o
r t a n d B o u n d a r y - S c a n A r c h
i t e c t u r e 規格等に対応する中央演算処理装置に
よって制御される電子装置に利用することが出来、特に、
記憶素子に格納しているデータ（中央演算処理装置の動
作プログラム、暗号キー、及び顧客識別子（ユーザID
コード）等を含む。）の不正改造を防止するのに適して
いる。

請求の範囲

1. 切り離し可能な領域を有する基板であって、中央演算処理装置と、電氣的書き換え可能な不揮発性の記憶素子と、前記領域に取り付けられたコネクタとを備えた基板を有し、かつ前記領域を切り離した状態において前記中央演算処理装置の内部回路を直接制御して前記記憶素子にデータを書き込むことが出来ない電子装置の製造方法であって、

前記コネクタに外部装置を接続して前記中央演算処理装置の内部論理回路を直接制御し、前記記憶素子にデータを書き込む書き込みステップと、

前記書き込みステップの後に、前記領域を切り離す切り離しステップと、

を有することを特徴とする電子装置の製造方法。

2. 前記中央演算装置が、前記基板に実装された状態において前記中央演算処理装置の端子が外部より接触できないように封じされている、

ことを特徴とする請求項1に記載の電子装置の製造方法。

3. 前記基板が少なくとも4層以上の多層基板であって、前記中央演算処理装置と前記コネクタとを接続する少なくとも1本の接続線は前記基板の内層に形成されて

いる、

ことを特徴とする請求項 1 に記載の電子装置の製造方法。

4. 切り離し可能な領域を有する基板であって、中央演算処理装置と、電氣的書き換え可能な不揮発性の記憶素子と、コネクタと、少なくとも 1 本の前記コネクタの端子と少なくとも 1 本の前記中央演算処理装置の端子とを接続する中継装置と、前記領域が切り離されているか否かを検出する検出装置とを備えた基板を有し、かつ前記領域を切り離した状態において、前記検出装置の出力信号に基づいて前記中継装置が前記コネクタの端子と前記中央演算処理装置の端子とを接続する少なくとも 1 本の接続線を遮断している故に前記中央演算処理装置の内部回路を直接制御して前記記憶素子にデータを書き込むことが出来ない電子装置の製造方法であって、

前記コネクタに外部装置を接続して前記中央演算処理装置の内部論理回路を直接制御し、前記記憶素子にデータを書き込む書き込みステップと、

前記書き込みステップの後に、前記領域を切り離す切り離しステップと、

を有することを特徴とする電子装置の製造方法。

5. 前記中央演算装置及び前記中継装置が、前記基板に実装された状態において前記中央演算処理装置の端子

及び前記中継装置の端子が外部より接触できないように封じされている、

ことを特徴とする請求項4に記載の電子装置の製造方法。

6. 切り離し可能な領域を有する基板であって、中央演算処理装置と、電氣的書き換え可能な不揮発性の記憶素子と、コネクタと、少なくとも1本の前記コネクタの端子と少なくとも1本の前記中央演算処理装置の端子とを接続する中継装置と、スクランブル装置と、前記領域が切り離されているか否かを検出する検出装置とを備えた基板を有し、かつ、

前記領域を切り離していない状態において、前記記憶素子から読み出したデータを前記スクランブル装置によってデスクランブルし、デスクランブルしたデータを前記中央演算処理装置に伝送することが出来るとともに、前記コネクタに外部装置を接続することによって前記中央演算処理装置の内部論理回路を直接制御して前記中央演算処理装置から前記スクランブル装置にデータを出力し、前記スクランブル装置は前記中央演算処理装置の出力データをスクランブルし、スクランブルしたデータを前記記憶素子に書き込むことが出来、

前記領域を切り離した状態において、前記記憶素子から読み出したデータを前記スクランブル装置によってデスクランブルし、デスクランブルしたデータを前記中央

演算処理装置に伝送することが出来るとともに、前記検出装置の出力信号に基づいて、前記スクランブル装置が前記記憶素子にデータを書き込むことが出来ない、

電子装置の製造方法であって、

前記コネクタに前記外部装置を接続することによって前記中央演算処理装置の内部論理回路を直接制御して前記中央演算処理装置から前記スクランブル装置にデータを出し、前記スクランブル装置は前記中央演算処理装置の出力データをスクランブルし、スクランブルしたデータを前記記憶素子に書き込む書き込みステップと、

前記書き込みステップの後に、前記領域を切り離す切り離しステップと、

を有する、ことを特徴とする電子装置の製造方法。

7. 前記中継装置、前記スクランブル装置及び前記電子装置の動作上不可欠な他の回路は、1個の半導体装置に含まれることを特徴とする請求項6記載の電子装置の製造方法。

8. 前記中央演算処理装置と前記半導体装置とが、前記基板に実装された状態において、前記中央演算処理装置の端子及び前記半導体装置の端子が外部より接触できないように封じされている、

ことを特徴とする請求項7に記載の電子装置の製造方法。

9. 前記領域を切り離した状態において、前記スクランブル装置が前記中央演算処理装置から前記記憶素子に伝送されるライトストロープ信号の線を遮断する、

ことを特徴とした請求項6に記載の電子装置の製造方法。

10. 切り離し可能な領域を有する基板であって、中央演算処理装置と、電氣的書き換え可能な不揮発性の記憶素子と、コネクタと、スクランブル装置と、前記領域が切り離されているか否かを検出する検出装置とを備えた基板を有し、かつ、

前記領域を切り離していない状態において、前記記憶素子から読み出したデータを前記スクランブル装置によって第1のスクランブルパターンでデスクランブルし、デスクランブルしたデータを前記中央演算処理装置に伝送することが出来るとともに、前記コネクタに外部装置を接続することによって前記中央演算処理装置の内部論理回路を直接制御して前記中央演算処理装置から前記スクランブル装置にデータを出力し、前記スクランブル装置は前記中央演算処理装置の出力データを第1のスクランブルパターンでスクランブルし、スクランブルしたデータを前記記憶素子に書き込むことが出来、

前記領域を切り離した状態において、前記検出装置の出力信号に基づいて、前記記憶素子から読み出したデー

タを前記スクランブル装置によって第1のスクランブルパターンでデスクランブルし、デスクランブルしたデータを前記中央演算処理装置に伝送することが出来るとともに、前記コネクタに前記外部装置を接続することによって前記中央演算処理装置の内部論理回路を直接制御して前記中央演算処理装置から前記スクランブル装置にデータを出し、前記スクランブル装置は前記中央演算処理装置の出力データを第2のスクランブルパターンでスクランブルし、スクランブルしたデータを前記記憶素子に書き込むことが出来る、

電子装置の製造方法であって、

前記コネクタに前記外部装置を接続することによって前記中央演算処理装置の内部論理回路を直接制御して前記中央演算処理装置から前記スクランブル装置にデータを出し、前記スクランブル装置は前記中央演算処理装置の出力データを第1のスクランブルパターンでスクランブルし、スクランブルしたデータを前記記憶素子に書き込む書き込みステップと、

前記書き込みステップの後に、前記領域を切り離す切り離しステップと、

を有する、ことを特徴とする電子装置の製造方法。

11. 前記スクランブル装置、前記検出装置及び前記電子装置の動作上不可欠な他の回路は、1個の半導体装置に含まれることを特徴とする請求項10記載の電子装

置の製造方法。

1 2 . 前記半導体装置が、前記基板に実装された状態において前記半導体装置の端子が外部より接触できないように封じされている、

ことを特徴とする請求項 1.1 に記載の電子装置の製造方法。

1 3 . 前記基板は少なくとも 4 層以上の多層基板であって、前記領域が切り離されているか否かの検出信号が通る線が、前記基板の内層に形成されている、

ことを特徴とする請求項 4 に記載の電子装置の製造方法。

1 4 . 前記基板は少なくとも 4 層以上の多層基板であって、前記領域が切り離されているか否かの検出信号が通る線が、前記基板の内層に形成されている、

ことを特徴とする請求項 6 に記載の電子装置の製造方法。

1 5 . 前記基板は少なくとも 4 層以上の多層基板であって、前記領域が切り離されているか否かの検出信号が通る線が、前記基板の内層に形成されている、

ことを特徴とする請求項 1 0 に記載の電子装置の製造方法。

16. 前記基板は少なくとも4層以上の多層基板であって、前記中央演算処理装置と前記中継装置とを接続する少なくとも1本の接続線が、前記基板の内層に形成されている、

ことを特徴とする請求項4に記載の電子装置の製造方法。

17. 前記基板は少なくとも4層以上の多層基板であって、前記中央演算処理装置と前記中継装置とを接続する少なくとも1本の接続線が、前記基板の内層に形成されている、

ことを特徴とする請求項6に記載の電子装置の製造方法。

18. 前記基板は少なくとも4層以上の多層基板であって、前記中央演算処理装置と前記中継装置とを接続する少なくとも1本の接続線が、前記基板の内層に形成されている、

ことを特徴とする請求項10に記載の電子装置の製造方法。

19. 前記中央演算処理装置はIEEE1149規格に対応した素子である、ことを特徴とする請求項1から請求項18のいずれかの請求項に記載の電子装置の製造

方法。

20. 切り離し可能な領域を有する基板であって、中央演算処理装置と、電氣的書き換え可能な不揮発性の記憶素子と、前記領域にコネクタとを備えた基板を有する電子装置であって、

前記領域を切り離していない状態において、前記コネクタに外部装置を接続することによって前記中央演算処理装置の内部論理回路を直接制御し、前記記憶素子にデータを書き込むことが出来、かつ

前記領域を切り離した状態において、前記中央演算処理装置を制御して前記記憶素子にデータを書き込むことが出来ないようにした、

ことを特徴とする電子装置。

21. 切り離し可能な領域を有する基板であって、中央演算処理装置と、電氣的書き換え可能な不揮発性の記憶素子と、コネクタと、少なくとも1本の前記コネクタの端子と少なくとも1本の前記中央演算処理装置の端子とを接続する中継装置と、前記領域が切り離されているか否かを検出する検出装置とを備えた基板を有する電子装置であって、

前記領域を切り離していない状態において、前記コネクタに外部装置を接続することによって前記中央演算処理装置の内部論理回路を直接制御し、前記記憶素子にデ

一タを書き込むことが出来、かつ

前記領域を切り離した状態において、前記検出装置の出力信号に基づいて前記中継装置は前記コネクタの端子と前記中央演算処理装置の端子とを接続する少なくとも1本の接続を遮断している故に前記中央演算処理装置の内部回路を直接制御して前記記憶素子にデータを書き込むことが出来ないようにした、

ことを特徴とする電子装置。

22. 切り離し可能な領域を有する基板であって、中央演算処理装置と、電氣的書き換え可能な不揮発性の記憶素子と、コネクタと、少なくとも1本の前記コネクタの端子と少なくとも1本の前記中央演算処理装置の端子とを接続する中継装置と、スクランブル装置と、前記領域が切り離されているか否かを検出する検出装置とを備えた基板を有する電子装置であって、

前記領域を切り離していない状態において、前記記憶素子から読み出したデータを前記スクランブル装置によってデスクランブルし、デスクランブルしたデータを前記中央演算処理装置に伝送することが出来るとともに、前記コネクタに外部装置を接続することによって前記中央演算処理装置の内部論理回路を直接制御して前記中央演算処理装置から前記スクランブル装置にデータを出力し、前記スクランブル装置は前記中央演算処理装置の出力データをスクランブルし、スクランブルしたデータを

前記記憶素子に書き込むことが出来、

前記領域を切り離した状態において、前記記憶素子から読み出したデータを前記スクランブル装置によってデスクランブルし、デスクランブルしたデータを前記中央演算処理装置に伝送することが出来るとともに、前記検出装置の出力信号に基づいて前記スクランブル装置が前記記憶素子にデータを書き込むことが出来ないようにした、

ことを特徴とする電子装置。

23. 切り離し可能な領域を有する基板であって、中央演算処理装置と、電氣的書き換え可能な不揮発性の記憶素子と、コネクタと、スクランブル装置と、前記領域が切り離されているか否かを検出する検出装置とを備えた基板を有する電子装置であって、

前記領域を切り離していない状態において、前記記憶素子から読み出したデータを前記スクランブル装置によって第1のスクランブルパターンでデスクランブルし、デスクランブルしたデータを前記中央演算処理装置に伝送することが出来るとともに、前記コネクタに外部装置を接続することによって前記中央演算処理装置の内部論理回路を直接制御して前記中央演算処理装置から前記スクランブル装置にデータを出力し、前記スクランブル装置は前記中央演算処理装置の出力データを前記第1のスクランブルパターンでスクランブルし、スクランブルし

たデータを前記記憶素子に書き込むことが出来、

前記領域を切り離した状態において、前記記憶素子から読み出したデータを前記スクランブル装置によって前記第1のスクランブルパターン又は前記第1のスクランブルパターンと異なるスクランブルパターンである第2のスクランブルパターンでデスクランブルし、デスクランブルしたデータを前記中央演算処理装置に伝送することが出来るとともに、前記コネクタに前記外部装置を接続することによって前記中央演算処理装置の内部論理回路を直接制御して前記中央演算装置から前記スクランブル装置にデータを出力し、前記スクランブル装置は前記中央演算処理装置の出力データを前記第2のスクランブルパターンでスクランブルし、スクランブルしたデータを前記記憶素子に書き込むことが出来る、

ことを特徴とする電子装置。

24. 切り離し可能な第1の領域及び第2の領域を有する基板であって、中央演算処理装置と、電氣的書き換え可能な不揮発性の記憶素子と、スクランブル装置と、前記第1の領域が切り離されているか否かを検出する検出装置と、前記第2の領域が切り離されているか否かを検出する検出装置とを備えた基板を有する電子装置であって、

前記第1の領域及び前記第2の領域のいずれの領域も切り離していない状態において、前記記憶素子から読み

出したデータを前記スクランブル装置によって第1のスクランブルパターンでデスクランブルし、デスクランブルしたデータを前記中央演算処理装置に伝送することが出来るとともに、前記コネクタに外部装置を接続することによって前記中央演算処理装置の内部論理回路を直接制御して前記中央演算処理装置から前記スクランブル装置にデータを出力し、前記スクランブル装置は前記中央演算処理装置の出力データを前記第1のスクランブルパターンでスクランブルし、スクランブルしたデータを前記記憶素子に書き込むことが出来、

前記第1の領域を切り離しかつ前記第2の領域を切り離していない状態において、前記記憶素子から読み出したデータを前記スクランブル装置によって前記第1のスクランブルパターンでデスクランブルし、デスクランブルしたデータを前記中央演算処理装置に伝送することが出来るとともに、前記コネクタに前記外部装置を接続することによって前記中央演算処理装置の内部論理回路を直接制御して前記中央演算処理装置から前記スクランブル装置にデータを出力し、前記スクランブル装置は前記中央演算処理装置の出力データを前記第1のスクランブルパターンと異なるスクランブルパターンである第2のスクランブルパターンでスクランブルし、スクランブルしたデータを前記記憶素子に書き込むことが出来、

前記第1の領域及び前記第2の領域を共に切り離した状態において、前記記憶素子から読み出したデータを前

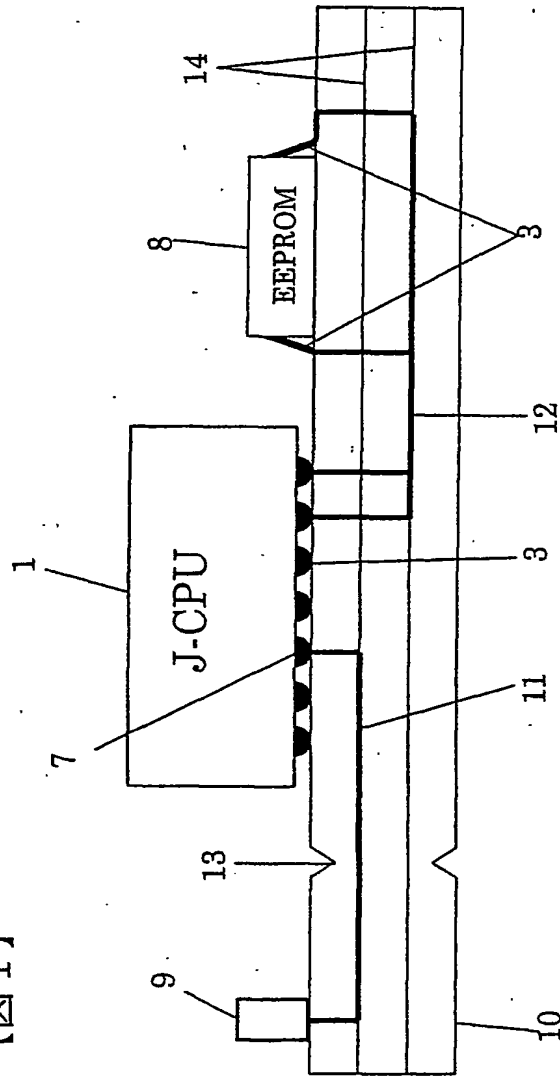
記スクランブル装置によって前記第2のスクランブルパターンでデスクランブルし、デスクランブルしたデータを前記中央演算処理装置に伝送することが出来るとともに、前記コネクタに接続した前記外部装置を通じて前記中央演算処理装置の内部論理回路を直接制御して前記スクランブル装置を介して前記記憶素子に書き込むことが出来ないようにした、

ことを特徴とする電子装置。

25. 前記中央演算処理装置はIEEE1149規格に対応した素子である、ことを特徴とする請求項20から請求項24のいずれかの請求項に記載の電子装置。

1 / 8

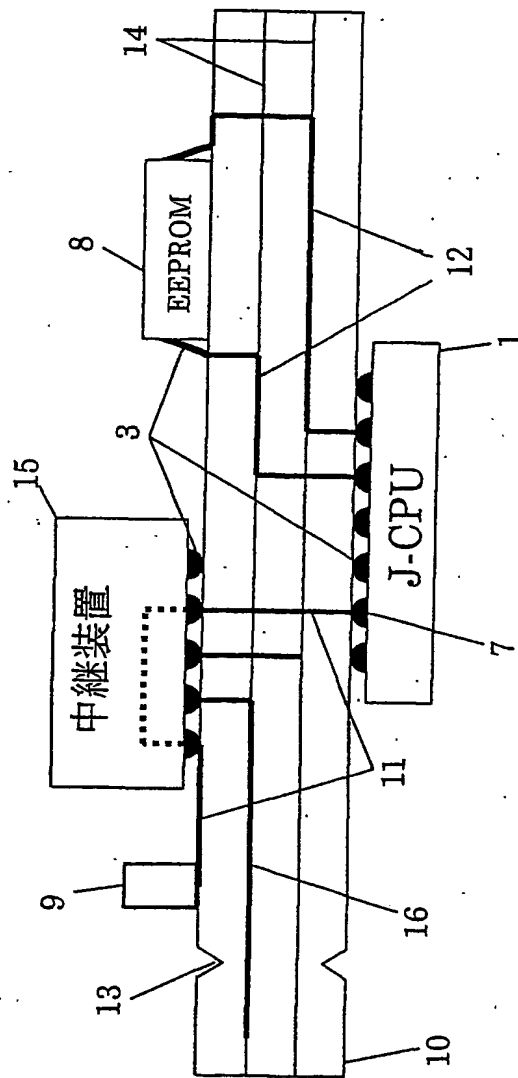
【図1】



THIS PAGE BLANK (USPTO)

2 / 8

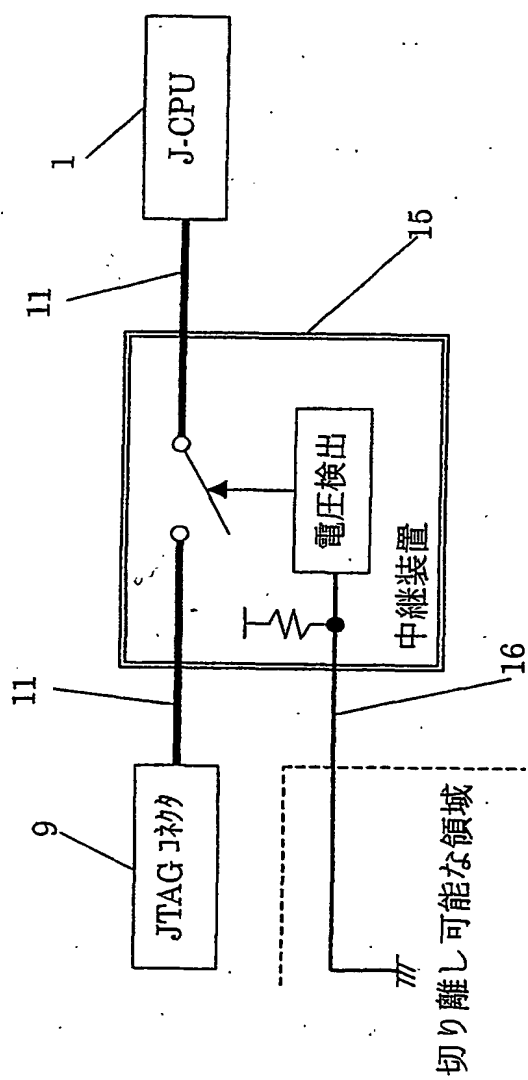
【図2】



THIS PAGE BLANK (USPTO)

3 / 8

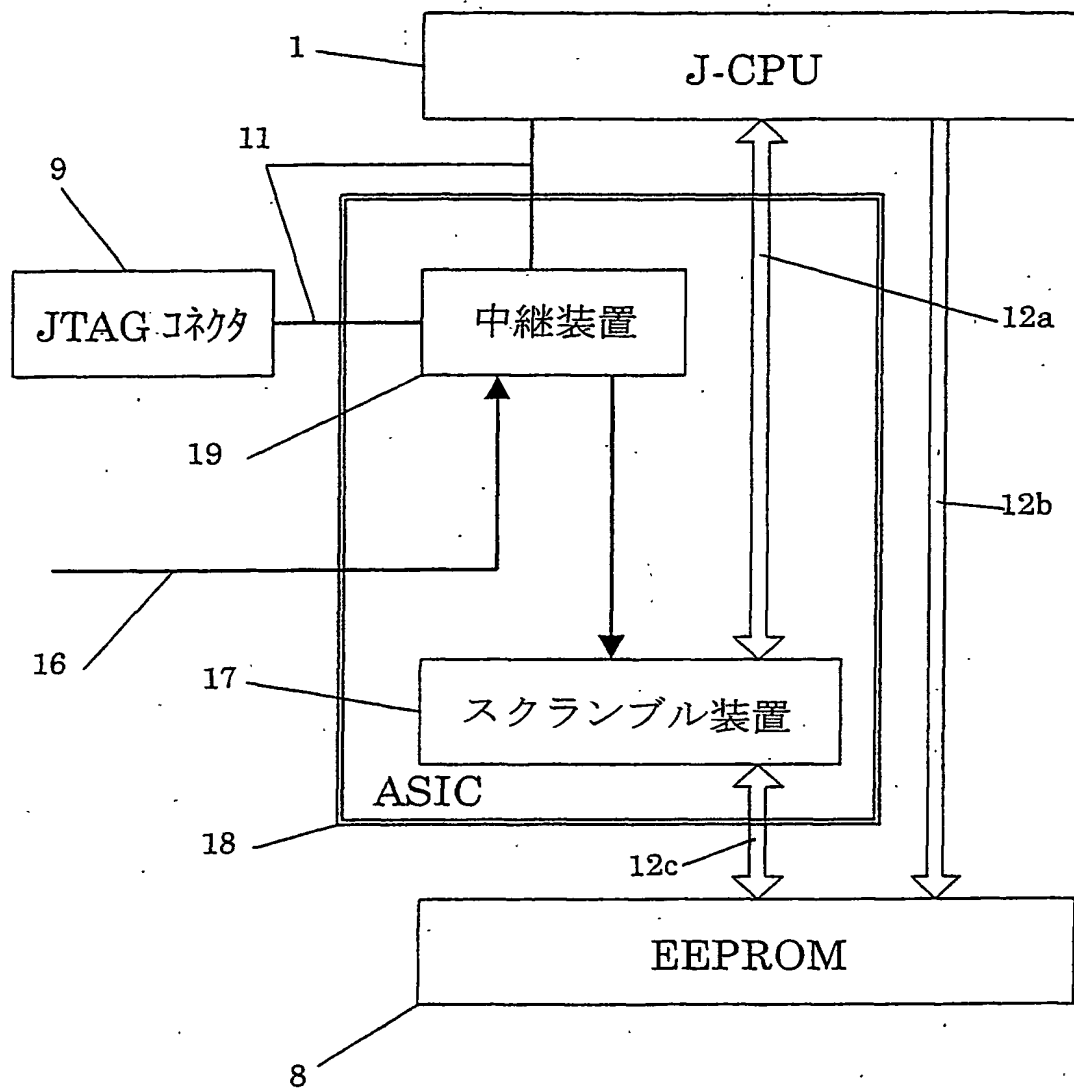
【図3】



THIS PAGE BLANK (USPTO)

4 / 8

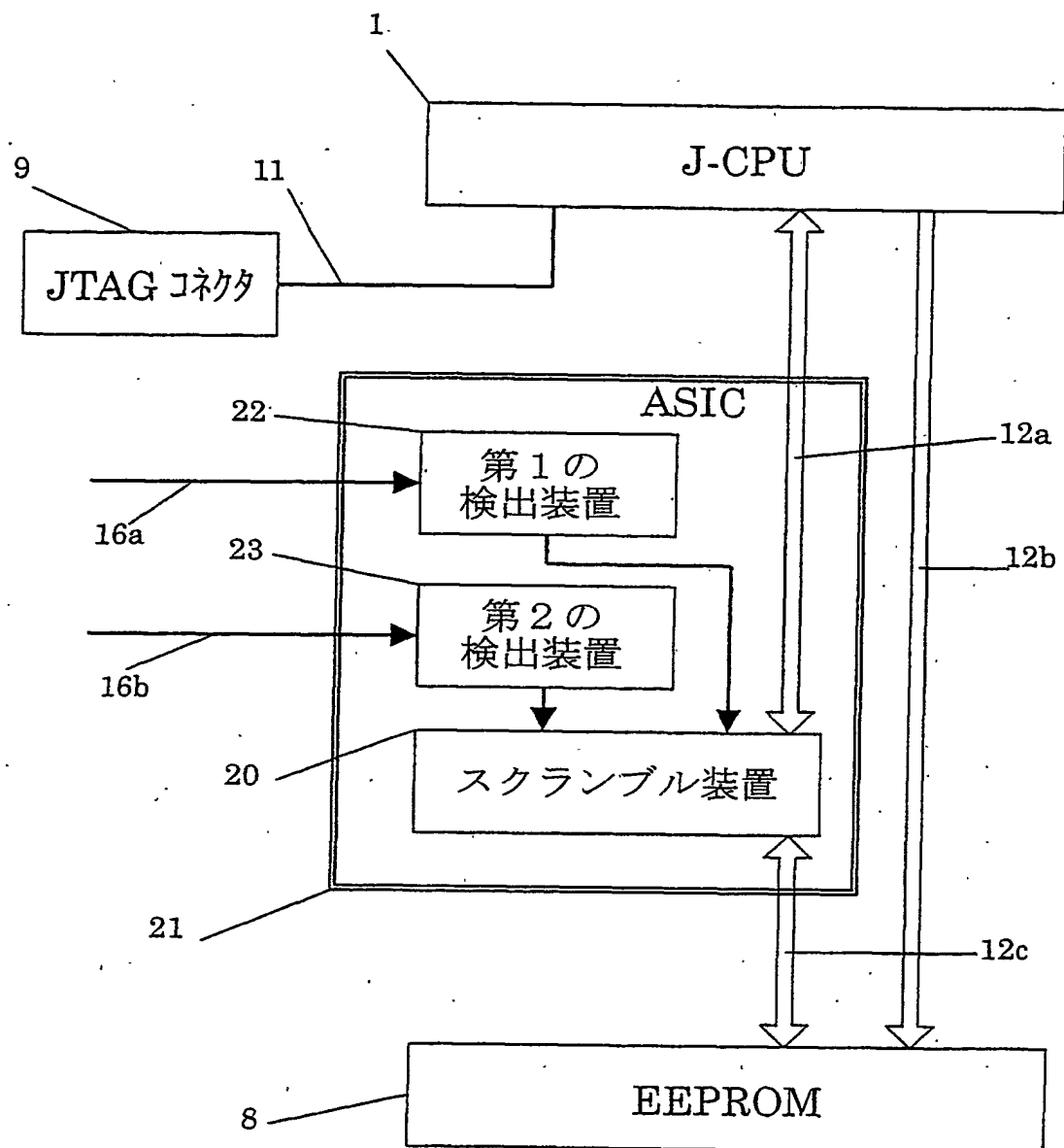
【図 4】



THIS PAGE BLANK (USPTO)

5 / 8

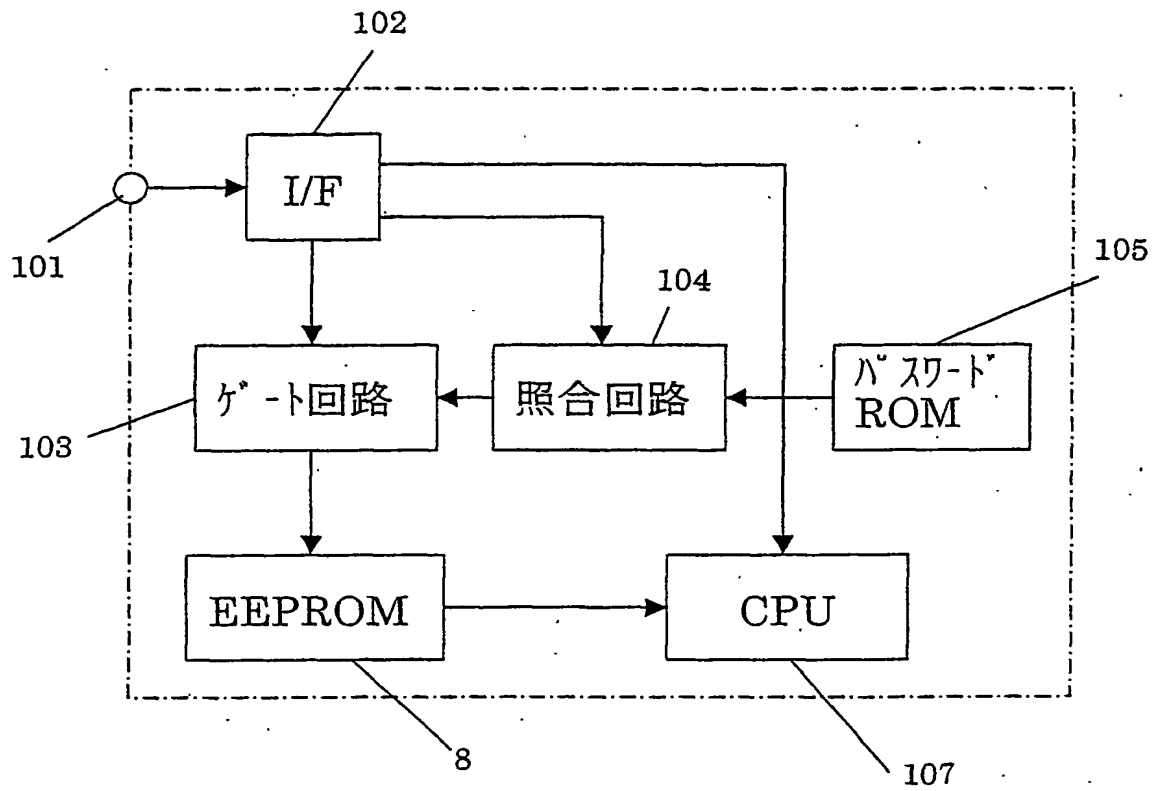
【図5】



THIS PAGE BLANK (USPTO)

6 / 8

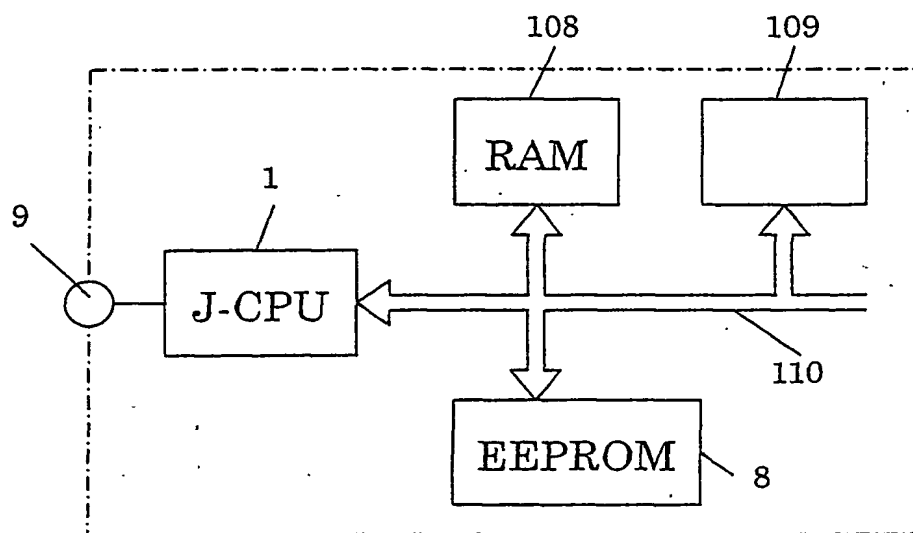
【図 6】



THIS PAGE BLANK (USPTO)

7 / 8

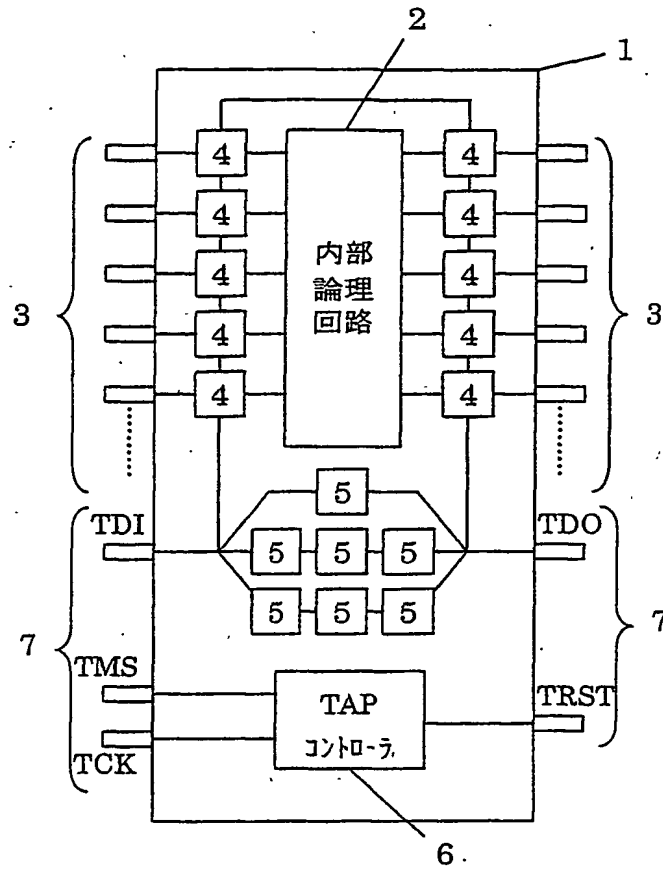
【図 7】



THIS PAGE BLANK (USPTO)

8 / 8

【図 8】



THIS PAGE BLANK (USPTO)

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP01/03376

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl.⁷ G06F9/06, G06F1/00

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl.⁷ G06F9/06, G06F1/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1926-1996 Jitsuyo Shinan Toroku Koho 1996-2001
Kokai Jitsuyo Shinan Koho 1971-2001 Toroku Jitsuyo Shinan Koho 1994-2001

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 63-276147 A (NEC Corporation),	1-5, 19-21
A	14 November, 1988 (14.11.88) (Family: none)	6-18, 22-25
Y	JP 64-25354 A (NEC Corporation),	1-5, 19-21
A	27 January, 1989 (27.01.89) (Family: none)	6-18, 22-25
A	JP 63-223850 A (Koatsu Gas Kogyo Co., Ltd.),	1-25
	19 September, 1988 (19.09.88) (Family: none)	

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier document but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search
17 July, 2001 (17.07.01)

Date of mailing of the international search report
24 July, 2001 (24.07.01)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

THIS PAGE BLANK (USPTO)

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ G06F9/06, G06F1/00

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ G06F9/06, G06F1/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926年-1996年

日本国公開実用新案公報 1971年-2001年

日本国実用新案登録公報 1996年-2001年

日本国登録実用新案公報 1994年-2001年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y A	JP 63-276147 A (日本電気株式会社) 14. 11 月. 1988 (14. 11. 88) (ファミリーなし)	1-5, 19-21 6-18, 22-25
Y A	JP 64-25354 A (日本電気株式会社) 27. 1月. 1 989 (27. 01. 89) (ファミリーなし)	1-5, 19-21 6-18, 22-25
A	JP 63-223850 A (高圧ガス工業株式会社) 19. 9 月. 1988 (19. 09. 88) (ファミリーなし)	1-25

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

17. 07. 01

国際調査報告の発送日

24.07.01

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

漆原 孝治



5B

9366

電話番号 03-3581-1101 内線 3546

THIS PAGE BLANK (USPTO)